

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-130910

(43)公開日 平成6年(1994)5月13日

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
G 0 9 G 3/20	R	7335-5G		
G 0 2 F 1/133	5 4 5	9226-2K		
G 0 9 G 3/36		7319-5G		

審査請求 未請求 請求項の数10(全 28 頁)

(21)出願番号 特願平5-152533

(22)出願日 平成5年(1993)6月24日

(31)優先権主張番号 特願平4-179997

(32)優先日 平4(1992)7月7日

(33)優先権主張国 日本 (JP)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 今村 陽一

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

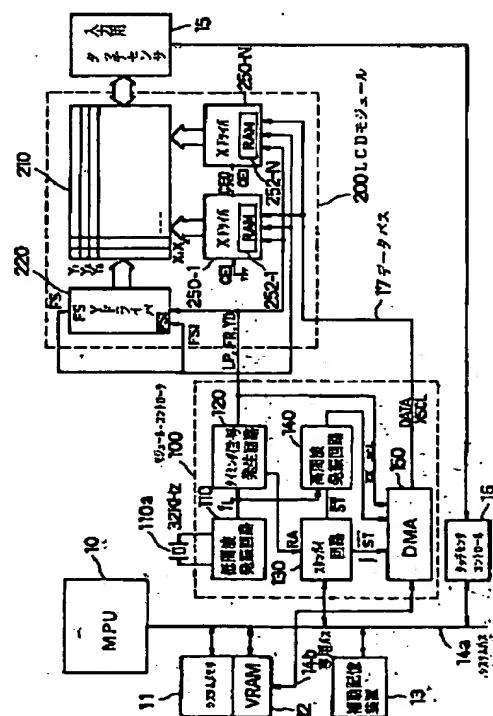
(74)代理人 弁理士 山田 稔

(54)【発明の名称】 マトリクス型表示装置、マトリクス型表示制御装置及びマトリクス型表示駆動装置

(57)【要約】 (修正有)

【目的】 表示データの転送方式を改善し、低消費電力が少く大容量表示に適したマトリクス型表示制御装置を提供する。

【構成】 モジュール・コントローラ100は、低周波発振回路110、その低周波クロック f_L を基に走査スタート信号YD等を生成するタイミング信号発生回路120、ホストMPU10との通信とシステムバス14aを監視しVRAM12内の表示データ更新に対し間欠動作開始制御信号STを作成するスタンバイ回路130、低周波クロック f_L に位相同期する高周波クロックを作成する高周波発振回路140、VRAM12から専用バス14bを介して表示データをダイレクトメモリアクセスで読み出し、データバス17を介してXドライバ250-1~250-Nのフレームメモリ252へ転送するDMA回路150を有している。



(2)

【特許請求の範囲】

【請求項1】 表示画素がマトリクス状に配列されたマトリクス型表示体と、表示データを記憶する隨時書き込み読み出し可能の第1の記憶手段と、該表示画素の少なくとも一部に対応する表示データを記憶する隨時書き込み読み出し可能の第2の記憶手段と、第2の記憶手段から表示データを読み出し前記マトリクス表示体の信号電極に駆動電圧を印加する信号電極駆動手段とを有するマトリクス型表示装置において、前記第1の記憶手段に記憶された表示データの変更により発振する間欠動作型高周波発振手段と、該間欠動作型高周波発振手段からの高周波クロックを用いて前記第1の記憶手段から前記変更に係る表示データを読み出してこれと前記高周波クロックを前記第2の記憶手段側へ転送する表示データ転送手段とを有することを特徴とするマトリクス型表示装置。

【請求項2】 第1の記憶手段に記憶された表示データの変更により発振する間欠動作型高周波発振手段と、該間欠動作型高周波発振手段からの高周波クロックを用いて前記第1の記憶手段から前記変更に係る表示データを読み出しこれと前記高周波クロックを第2の記憶手段側へ転送する表示データ転送手段とを有することを特徴とするマトリクス型表示制御装置。

【請求項3】 低周波数クロックを常時発振する低周波発振手段と、該低周波発振手段からの低周波数クロックを基に所要タイミング信号を生成するタイミング信号発生手段と、第1の記憶手段に記憶された表示データの変更により間欠動作制御信号を発生する表示データ更新検出手段と、該間欠動作制御信号により発振する間欠動作型高周波発振手段と、該間欠動作型高周波発振手段からの高周波クロックを用いて前記第1の記憶手段から前記変更に係る表示データを読み出しこれと前記高周波クロックを第2の記憶手段側へ転送する表示データ転送手段とを有することを特徴とするマトリクス型表示制御装置。

【請求項4】 マトリクス型表示体の表示画素の少なくとも一部に対応する表示データを記憶する隨時書き込み読み出し可能の第2の記憶手段を有し、第2の記憶手段から表示データを読み出し前記マトリクス表示体の信号電極に駆動電圧を印加するマトリクス型表示駆動装置において、1走査期間毎に受け取る周期信号を基に1走査期間でタイミングをずらした書き込み制御信号及び読み出し制御信号を生成するタイミング発生手段と、前記第2の記憶手段の同一行アドレスに対する読み出し制御信号により読み出し動作を実行した後前記書き込み制御信号により書き込み動作を実行する書き込み読み出し手段を有することを特徴とするマトリクス型表示駆動装置。

【請求項5】 請求項4に記載のマトリクス型表示駆動装置において、前記表示データの転送に用いられる高周波クロックの動作停止を検出するクロック検出手段を有し、この検出信号により前記書き込み制御信号の発生を阻

2

止する書き込み禁止制御手段とを有することを特徴とするマトリクス型表示駆動装置。

【請求項6】 請求項5に記載のマトリクス型表示駆動装置において、前記書き込み読み出し手段は、入来する表示データを前記高周波クロックを順次用いて少なくとも1走査ライン分格納する一時格納手段と、該一時格納手段の格納表示データを前記高周波クロックの1周期以上の長い信号により前記第2の記憶手段に書き込み供給するバッファッジ手段を有することを特徴とするマトリクス型表示駆動装置。

【請求項7】 請求項4至請求項6のいずれか一項に記載のマトリクス型表示駆動装置において、書き込み読み出し手段は、前記第2の記憶手段から読み出した表示データと前記マトリクス表示体の走査電極の電圧状態とから前記信号電極に印加すべき信号電圧を割り出す信号電圧状態割り付け手段を有することを特徴とするマトリクス型表示駆動装置。

【請求項8】 請求項7に記載のマトリクス型表示駆動装置において、前記信号電圧割り付け手段は、前記第2の記憶手段から複数の走査ライン分の表示データを時分割で読み出す手段と、読み出された表示データを相互に待ち合わせる一時記憶手段と、前記マトリクス表示体の走査電極の電圧状態を指定する走査状態指定手段と、読み出された複数の走査ライン分の表示データと走査電極の選択電圧状態とから駆動電圧を選択する電圧選択手段とを有することを特徴とするマトリクス型表示駆動装置。

【請求項9】 請求項7に記載のマトリクス型表示駆動装置において、前記第2の記憶手段は、1行アドレスに対し前記マトリクス表示体の複数の走査ライン分の表示データを格納するメモリ配列を有しており、前記信号電圧状態割り付け手段は、前記複数の走査ライン分の表示データを一挙に読み出す手段と、前記マトリクス表示体の走査電極の電圧状態を指定する走査状態指定手段と、読み出された複数の走査ライン分の表示データと走査電極の選択電圧状態とから駆動電圧を選択する電圧選択手段とを有することを特徴とするマトリクス型表示駆動装置。

【請求項10】 マトリクス型表示体の走査電極を選択して駆動するマトリクス型表示駆動装置において、複数本の走査電極を同時に選択してフレーム開始信号の周期内に複数回の巡回走査をする手段を有することを特徴とするマトリクス型表示駆動装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、複数ライン同時選択駆動方式を採用するに好適な液晶表示装置等のマトリクス型表示装置に関し、更に詳しくは、主にマトリクス型表示素子モジュール・コントローラと信号電極ドライバ回路の改良に関する。

(3)

3

【0002】

【従来の技術】従来、フラットディスプレイの一例としての単純マトリクス型液晶表示装置においては、MPU（マイクロ・プロセッサ・ユニット）側から表示データをLCDモジュール（液晶表示パネル（LCDパネル）、走査電極駆動回路（Yドライバ）、信号電極駆動回路（Xドライバ）等）へ転送する方式として、マトリクス型液晶表示素子モジュール・コントローラ（以下、モジュール・コントローラと言う）を用いる方式とRAM（読み出し専用メモリ）内蔵型Xドライバを用いる方式とに大別できる。まず、前者の方式は、CRTを用いた表示装置と同様、システムバスに繋がるモジュール・コントローラが表示データを記憶しているビデオRAM（VRAM）から表示データを読み出し、これをLCDモジュールに対し高周波数のクロックで転送して表示リフレッシュ動作を行うものである。後者的方式は、Xドライバ内に2ポートタイプのフレームメモリ（内蔵RAM）を持ち、MPUがデータバス、コントロールバス又はアドレスバスを介して液晶表示タイミングとは無関係に直接フレームメモリにアクセスし、フレームメモリ内の表示データを変更するようになっており、Xドライバ内で所要の制御信号を生成して、内蔵フレームメモリから一走查ライン分の表示データを同時に読み出し、表示リフレッシュ動作を行うものである。

【0003】

【発明が解決しようとする課題】前者の方式においては、表示画面を変える度に、その液晶表示タイミングに合わせてVRAMからの読み出しと転送を行うので、VRAM、モジュール・コントローラ、及び液晶ドライバを高周波クロックで常時動作させておく必要がある。また表示リフレッシュ動作に関係する回路がVRAM、モジュール・コントローラ、及び液晶ドライバに亘る。この高周波クロックでの大規模回路の動作によると、回路素子を構成する多数のCMOSに貫通電流等が生じ、消費電力の増大に繋がり、大型LCDパネルを用いればそれだけ増大する。またVRAMに対してはMPUのアクセスとモジュール・コントローラのアクセスとがあるが、表示リフレッシュ動作時のMPUのアクセスがMPUのアクセスと衝突しないように高速クロックを用いなければならず、モジュール・コントローラの低周波動作化には制約があると共に、MPU処理能力にも制約が付く。後者的方式においては、液晶表示タイミングとは無関係に表示データの転送が行われるので、低周波クロックでの動作が可能であり、前者の方式に比べて1～2桁低い消費電力で済む。ところで、大型の液晶パネルを用いる場合においては、Xドライバの個数を増やす必要があるが、Xドライバの内蔵メモリ（RAM）はそれ自身独立のアドレス空間を有しており、Xドライバの出力端子数は一般に2のべき数（ 2^n ）ではなく例えば160ピン等の10の倍数であるので、MPU側から複数のX

(3)

4

ドライバの内蔵メモリを見た場合、内蔵メモリ全体のアドレスには離散的な空きが生じてアドレスの連続性が確保されていない場合が多い。このため、スクロール動作やパニング動作等の表示画面全体を同時に変更する時には、MPU側でアドレス対応付けの処理を高速で行う必要を余儀無くされ、MPUに大きな処理負担を強いることになる。勿論、XドライバICの出力ピン数を2のべき数にするように設計可能であるが、既存の液晶パネルの電極数との整合性が崩れてしまい、システムの互換性を著しく損なう。また多数のXドライバを用いると、チップセレクト線等の本数が必然的に増え、液晶パネルの周辺に配する多数のXドライバのスペースをその分確保せねばならず、パネルの表示面積比の低下を招きLCDモジュールの小型化の障害になる。従って、後者的方式は大規模の液晶パネルに適用するには不向きである。

【0004】そこで、上記各問題点に鑑み、本発明は、表示データの転送方式を改善することにより、低消費電力でありながら、大容量表示に適したマトリクス型表示制御装置、マトリクス型表示駆動装置及びマトリクス型表示装置を提供することにある。

【0005】

【課題を解決するための手段】上記課題を解決するために、本発明の講じた手段は、従来のモジュール・コントローラ型の表示装置と、従来のフレームメモリ内蔵型の信号電極ドライバとを組合せた方式において、モジュール・コントローラの高周波クロックの発振源を表示データの転送の際に間欠動作させるようにしたことに特徴を有する。即ち、本発明は、表示画素がマトリクス状に配列されたマトリクス型表示体と、表示データを記憶する隨時書き込み読み出し可能の第1の記憶手段と、表示画素の少なくとも一部に対応する表示データを記憶する隨時書き込み読み出し可能の第2の記憶手段と、第2の記憶手段から表示データを読み出しまトリクス表示体の信号電極に駆動電圧を印加する信号電極駆動手段とを有するマトリクス型表示装置において、マトリクス型表示制御装置を、第1の記憶手段に記憶された表示データの変更により発振する間欠動作型高周波発振手段と、間欠動作型高周波発振手段からの高周波クロックを用いて第1の記憶手段から前記変更に係る表示データを読み出してこれと高周波クロックを前記第2の記憶手段側へ転送する表示データ転送手段とで構成した点に特徴を有する。このマトリクス型表示制御装置の具体的な構成は、低周波数クロックを常時発振する低周波発振手段と、低周波発振手段からの低周波数クロックを基に所要タイミング信号を生成するタイミング信号発生手段と、第1の記憶手段に記憶された表示データの変更により間欠動作制御信号を発生する表示データ更新検出手段と、間欠動作制御信号により発振する間欠動作型高周波発振手段と、間欠動作型高周波発振手段からの高周波クロックを用いて第1の記憶手段から変更に係る表示データを読み出しこれと

(4)

5

高周波クロックを第2の記憶手段側へ転送する表示データ転送手段とを有するものである。

【0006】このようなマトリクス型表示制御装置を有する表示装置において、表示画素の少なくとも一部に対応する表示データを記憶する随時書き込み読み出し可能な第2の記憶手段を有し、第2の記憶手段から表示データを読み出しまトリクス表示体の信号電極に駆動電圧を印加するマトリクス型表示駆動装置としては、1走査期間毎に受け取る周期信号を基に1走査期間でタイミングをずらした書き込み制御信号及び読み出し制御信号を生成するタイミング発生手段と、第2の記憶手段の同一行アドレスに対する読み出し制御信号により読み出し動作を実行した後書き込み制御信号により書き込み動作を実行する書き込み読み出し手段を有するものである。

【0007】そして、このようなマトリクス型表示駆動装置において、表示データの転送に用いられる高周波クロックの動作停止を検出するクロック検出手段を有し、この検出信号により書き込み制御信号の発生を阻止する書き込み禁止制御手段とを有することが望ましい。

【0008】また、マトリクス型表示駆動装置の書き込み読み出し手段は、入来る表示データを高周波クロックを順次用いて少なくとも1走査ライン分格納する一時格納手段と、一時格納手段の格納表示データを高周波クロックの1周期以上の長い信号により第2の記憶手段に書き込み供給するバッファップ手段を有することが望ましい。

【0009】複数ライン同時選択駆動方式を採用するマトリクス型表示駆動装置においては、書き込み読み出し手段は、第2の記憶手段から読み出した表示データとマトリクス表示体の走査電極の電圧状態とから信号電極に印加すべき信号電圧を割り出す信号電圧状態割り付け手段を有することが必要となる。具体的な信号電圧割り付け手段の構成の一例としては、第2の記憶手段から複数の走査ライン分の表示データを時分割で読み出す手段と、読み出された表示データを相互に待ち合わせる一時記憶手段と、マトリクス表示体の走査電極の電圧状態を指定する走査状態指定手段と、読み出された複数の走査ライン分の表示データと走査電極の選択電圧状態との不一致数を判定する不一致数判定手段と、その不一致数に応じた信号電圧を選択する電圧選択手段とを有する。また複数同時選択駆動方式を採用する別のマトリクス型表示駆動装置においては、第2の記憶手段が1行アドレスに対しマトリクス表示体の複数の走査ライン分の表示データを格納するメモリ配列を有しており、信号電圧状態割り付け手段が、複数の走査ライン分の表示データを一挙に読み出す手段と、マトリクス表示体の走査電極の電圧状態を指定する走査状態指定手段と、読み出された複数の走査ライン分の表示データと走査電極の選択電圧状態とから駆動電圧を選択する電圧選択手段とを有する構成を採用できる。

【0010】また、複数ライン同時選択駆動方式を採用

6

する走査電極側駆動装置における均等分散型複数ライン同時選択駆動に適した構成としては、本発明は、複数本の走査電極を同時に選択してフレーム開始信号の周期内に複数回の巡回走査をする手段を有することを特徴とする。

【0011】

【作用】このようなマトリクス型表示制御装置によれば、第1の記憶手段において表示データの変更があったときだけ高周波クロックが動作し、表示データを第2の記憶手段へ転送するものであるから、高周波クロックの間欠動作により低消費電力化を図ることができる。また第2の記憶手段に対する転送処理はMPUが行うのではなく、仲介に立つマトリクス表示制御装置が実行するものであるため、第1の記憶手段側のホストMPUの処理負担を低減できると共に、更に信号電極の駆動装置をカスケード接続することにより、ドライバ側のメモリ空間を意識せずに、マトリクス型表示体の構成に合わせて表示データの転送ができるようになり、アドレスの対応付けの容易化も達成できる。そして、第2の記憶手段に走

20 査ライン毎の表示データが一挙に格納されるので、画面変更の高速化を達成できる。更に、信号電極の駆動装置のカスケード接続により大容量表示装置でもマトリクス型表示制御装置と駆動装置との結線数（例えばチップセレクト線の本数）を抑制でき、表示画面面積比率の大きな表示装置を実現できる。

【0012】また、信号電極ドライバにおいては高速クロックを用いないで1走査期間を分割したタイミングで第2の記憶手段に余裕を以てアクセスするようにしてある。

30 【0013】このため、第2の記憶手段へのアクセスタイミングが従来に比して緩和されるので、書き込み力を向上させることができ、第2の記憶手段の構成トランジスタのサイズを縮小化できる。ドライバのチップサイズの小型化にも寄与する。

【0014】

【実施例】次に、添付図面に基づいて本発明の実施例を説明する。

【0015】〔全体構成の説明〕図1は本発明の実施例に係る単純マトリクス型液晶表示装置の全体構成を示す40 ブロック図である。この単純マトリクス型液晶表示装置は、プログラムされたホストMPU10と、このMPU10のワーキングメモリとなるシステムメモリ11と、システムメモリ11と同一のアドレス空間に表示データを格納するビデオRAM(VRAM)12と、画像、データ及び音声情報等を記憶する補助記憶装置13と、システムバス14a及び専用バス14bに繋がるモジュール・コントローラ100と、このモジュール・コントローラ100により表示制御されるLCDモジュール200と、入力用タッチセンサ15と、タッチセンサ・コン50 トローラ16を有している。なお、システムバス14a

(5)

7

には、従来のコンピュータシステムと同様、通信制御装置や他の表示装置等の周辺装置を必要に応じて接続することができる。LCDモジュール200は、単純マトリクス型液晶表示パネル(LCDパネル)210と、そのLCDパネル210の複数の走査電極Y₁, Y₂…を選択する走査電極駆動回路(YドライバIC)220と、LCDパネル210の複数の信号電極に表示データを供給するN個のフレームメモリ(RAM)内蔵型信号電極駆動回路(XドライバIC)250-1~250-Nを有している。

【0016】[モジュール・コントローラの説明]モジュール・コントローラ100は、32KHz~512KHz程度の振動子110aを持ち低周波クロックf_Lを常時発振する低周波発振回路110と、その低周波クロックf_Lを基にLCDモジュール200に必要な走査スタート信号(フレーム開始パルス)YD、転送表示データの直並列変換用のラインラッチ信号(ラッチパルス)LP、液晶交流化信号FR等を生成するタイミング信号発生回路120と、ホストMPU10から間欠動作指示情報を直接受領したとき又はホストMPU10との通信とシステムバス14aを監視しVRAM12内の表示データの更新があったとき間欠動作開始制御信号ST(バー)を作成するスタンバイ回路(表示データ更新検出回路)130と、間欠動作開始制御信号ST(バー)の印加期間において低周波クロックf_Lに位相同期する高周波クロックf_Hを作成する高周波発振回路140と、間欠動作開始制御信号ST(バー)の印加期間においてその高周波クロックf_Hを利用してVRAM12から専用バス14bを介して表示データをダイレクトメモリアクセス方式で読み出し、その表示データをデータバス17のビット数又はフォーマットに変換して表示データをそのデータバス17を介してXドライバ250-1~250-Nのフレームメモリ252-1~252-Nへ転送するダイレクト・メモリ・アクセス(DMA)回路150とを有している。

【0017】タイミング信号発生回路120は、図2に示すように、低周波クロックf_Lを基に1水平期間内に2発のラッチパルス(ラインラッチ信号)LPを生成する分周器121と、ラッチパルスLPを計数して走査電極の順番(行アドレス)を指定するための行アドレス信号RA及びフレーム開始パルスYDを生成する垂直カウンタ122と、フレーム開始パルスYD及び垂直カウンタ122の所定カウントに基づき液晶交流化信号FRを生成するフレームカウンタ123とを有している。スタンバイ回路130は、システムバス・インターフェース回路131と、MPU10がVRAM12のうちXドライバのフレームメモリの該当領域に表示データの変更を加えたときMPU10によって転送指示フラグが立つラインフラグレジスタ132と、転送指示フラグが立った走査電極のアドレスと行アドレスRAとの一致/不一

50

8

致を判定し一致信号jを生成する比較回路133と、その一致信号jとラッチパルスLPとから間欠動作開始制御信号ST(バー)を生成する同期調整回路134とを有している。ここで、ラッチパルスLPの1水平期間

(1H)内での発生数は、後述する2ライン同時選択駆動方式の採用により2発である。同期調整回路134は、ラッチパルスLPを反転するインバータ134aと、ラッチパルスLPの立ち下がりに同期した一致信号を生成するD型フリップフロップ134bと、その同期一致信号のパルス幅をラッチパルスLPの周期に限定して間欠動作開始制御信号ST(バー)とする論理積ゲート134cとからなる。なお、VRAM12に対する読み出しスタートアドレスはホストMPU10によって予めセットされる。

【0018】高周波発振回路140は、間欠動作開始制御信号ST(バー)及び後述する間欠動作終了制御信号CA(バー)から発振制御信号CTを作成する論理積ゲート141と、その発振制御信号CTにより間欠発振する高周波の可変周波数CR発振器142と、この高周波

20 可変周波数CR発振器142で得られた高周波クロックf_Hを計数して間欠動作終了制御信号CA(バー)を作成して間欠動作期間を限定する間欠動作時限回路143と、その高周波クロックf_Hと間欠動作終了制御信号CA(バー)とから表示データのシフトレジスタ格納用のシフトロックSCLを作成する論理積ゲート144とを有している。可変周波数CR発振器142は、論理積ゲート142a、インバータ142b、142c、帰還抵抗R₁、R₂、R₃及び帰還キャパシタC₁からなるCR発振部と、抵抗選択スイッチSW₁、SW₂、SW₃と、

30 MPU10により時定数がセットされてそれに応じた抵抗選択スイッチSW₁、SW₂、SW₃の開閉の組合せを行うスイッチ選択レジスタ142dとを有している。このスイッチ選択レジスタ142dの内容により抵抗選択スイッチSW₁、SW₂、SW₃の開閉の組合せを変えることでCR発振部に寄与する帰還抵抗(時定数)が変わるので、CR発振部の発振周波数f_Hの値を可変できるようになっている。間欠動作時限回路143は、高周波クロックf_Hを反転バッファするインバータ143aと、間欠動作終了制御信号CA(バー)の高レベル期間だけ高周波クロックf_Hを通過させる論理積ゲート143b

40 と、論理積ゲート143bからの高周波クロックf_Hをインバータ143eを介してクロック入力とし間欠動作開始制御信号ST(バー)の立ち下がりでリセットされるプリセット・カウンタ143cと、1走査ライン分の表示データの転送に必要な高速クロックSCL(XSC-L)の数をMPU10からセット可能なクロック数レジスタ143dと、プリセット・カウンタ143cのキャリー出力CAを反転して間欠動作終了制御信号CA(バー)を作成するインバータ143fとを有する。

【0019】ダイレクト・メモリ・アクセス(DMA)

(6)

9

回路150は、スタンバイ回路130からの一致信号jにより高速クロックSCLを用いて読み出しクロックRSKを専用バス14bに出力すると共にラインフラグレジスタ132に当該フラグアドレス信号及びフラグリセット信号を送るダイレクト・メモリ・アクセス(DMA)制御回路151と、読み出しクロックRSKによってVRAM12内の書換えアドレスの表示データを専用バス14bを介して読み出しデータSDとして読み込み、その読み出しデータSDをシフトクロックSCLを用いてデータバス17のビット数又はフォーマットに変換して得られた表示データDATA及びクロックSCLの周波数と等しいシフトクロックX SCKをデータバス17を介してXドライバ250-1～250-Nへ転送するデータ変換回路152とを有している。

【0020】次に、モジュール・コントローラ100の動作について図3を参照しつつ説明する。モジュール・コントローラ100のうち、低周波発振回路110及びタイミング信号発生回路120は常時動作しているが、Xドライバ250-1～250-Nが転送されて来る表示データDATAを格納するフレームメモリ252-1～252-Nを有しているので、高周波発振回路140は常時動作する必要がなく、後述するようにVRAM12内の表示データが変更された際に間欠動作する。低周波発振回路110は低周波クロックfLを常時出力し、タイミング信号発生回路120の分周器121は低周波クロックfLを所定の分周比で分周してラッチパルスLPを生成する。ラッチパルスLPは1水平期間(1H)で2回発生し、その周波数は、 640×480 ドットのモノクローム表示の場合、最高32KHz～80KHz程度である。垂直カウンタ122はラッチパルスLPを計数して行アドレス信号RA及びフレーム開始パルスYDを生成し、フレームカウンタ123はフレーム開始パルスYDを計数して液晶交流化信号FRを作成する。このように本例においては、LCDモジュール200側で必要な低周波数のタイミング信号(ラッチパルスLP、走査スタート信号YD及び液晶交流化信号FR)はタイミング信号発生回路120で作成される。

【0021】MPU10がVRAM12の表示データをリフレッシュ動作時に全体的に変更するときやフレーム間引き方式で階調表示する際に部分的に変更するときは、MPU10がシステムバス14及びインターフェース131を介してラインフラグレジスタ132の該当アドレスに転送指示フラグを立てる。一方、垂直カウンタ122から行アドレス信号RAがラッチパルスLPの発生の度に更新されているため、転送指示フラグの立ったフラグアドレスと行アドレス信号RAが一致すると、比較回路133から一致信号jが発生する。この一致信号jは同期調整回路134へ入力され、図3に示すように、ラッチパルスLPの立ち下がりに同期し1水平期間の周期の間欠動作開始制御信号ST(バー)が立ち上

(6)

10

る。間欠動作開始制御信号ST(バー)が立ち上がりと、論理積ゲート141の出力には発振制御信号CTが立ち上がり、CR発振部の初段の論理積ゲート142aの一方入力は高レベルとなるので、CR発振部は抵抗選択スイッチSW1～SW1の開閉組合せで指定された帰還時定数に応じた高周波数で発振クロックfHを発生し始める。発振クロックfHはインバータ143a、論理積ゲート143b及びインバータ134eを介してプリセット・カウンタ143cに供給されと共に、論理積ゲート144からクロックSCLとして出力される。このクロックSCLは高周波クロックであり、DMA回路150の表示データの読み込み及び転送に利用される。プリセット・カウンタ143cは間欠動作開始制御信号ST(バー)の立ち下がりでリセットされ、キャリー出力CAは低レベルになるが、カウント値がクロック数レジスタ143dで指定されたクロック数に達すると、高レベルのキャリー出力CAを出し、その反転信号たる間欠動作終了制御信号CA(バー)が図3に示すように立ち下がる。間欠動作終了制御信号CA(バー)が立ち下がると、発振制御信号CTも立ち下がり、これにより可変周波数CR発振器142の発振動作が中止される。このように、可変周波数CR発振器142は間欠動作開始制御信号ST(バー)と間欠動作終了制御信号CA(バー)で始点及び終点が限定された期間だけ間欠的に発振動作し、クロック数レジスタ143dで指定される1走査ライン分の表示データの転送に必要なクロック数の高周波クロックfHを発生する。これによって、表示データの変更がないときは可変周波数CR発振器142の不必要的発振動作を解消することができ、消費電力の削減に寄与することになる。

【0022】他方、DMA回路150において、スタンバイ回路130の比較回路133から一致信号jが出力されると、DMA制御回路151は高速クロックSCLを用いて読み出しクロックRSKを専用バス14bに出力する。これによりVRAM12内の書換えアドレスの表示データ(新データ)が図3に示すように読み出しデータSDとしてデータ変換回路152に取り込まれる。取り込まれた読み出しデータSDはデータバス17のビット数又はフォーマットに変換され、表示データDATAとクロックSCKの周波数と等しいシフトクロックX SCKがデータバス17を介してXドライバ250-1～250-Nへ転送される。また、DMA制御回路151はラインフラグレジスタ132に当該フラグアドレス信号及びフラグリセット信号を送る。これによりデータ変換回路152に取り込まれて転送された表示データのフラグアドレス内の転送指示フラグが倒される。そして次の行アドレス信号RAが発生すると、次の高速クロックSCKによって上記の動作が繰り返され、1水平期間で2走査ライン分の表示データDATAの転送が完了する。1走査ライン分の表示データDATAが転送される

(7)

11

と、キャリー信号の反転信号CA(バー)が低レベルとなるため、転送動作が一時中止される。しかし、Xドライバ250-1～250-Nにはフレームメモリ252-1～252-Nが転送データを格納しているため、ソフトクロックXSCLの動作・停止を1走査ライン毎に制御しても、表示に影響を及ぼすことはない。

【0023】このように、Xドライバ250-1～250-Nにフレームメモリ252-1～252-Nを内蔵させて高周波発振回路140を間欠動作させるモジュール・コントローラ110を構築したことにより、VRAM12の表示データの変更があったときのみ走査ライン毎の表示データをフレームメモリ252-1～252-Nへ転送させることができる。このため、高周波発振回路140の常時動作が無くなるので、表示データの変更がなければ大幅な消費電力の削減が可能となる。また、このような間欠制御は既に公知であるフレーム間引き方式の階調表示を行う場合や、画面に対する動画表示面積の少ない表示を行う場合にも対応でき、従来表示システムとの互換性も良好である。なお、上記モジュール・コントローラ100の高周波発振回路140は、可変周波数CR発振器142を用いて構成されているが、これに限らず、ラッチパルスLPに同期して高周波クロックを発生する位相同期回路(PLL)を用いることができる。かかる場合、高周波クロックは位相同期回路の電圧制御発振器の出力から取り出すようとする。更に、高周波発振回路140はモジュール・コントローラ100に内蔵せずに、外部の高周波クロック源から供給されるようにも構成できる。或いはモジュール・コントローラ100は、ホストMPU10又はVRAM12と同一の半導体集積回路上に構成すれば、接続配線を減らすことができる。

【0024】〔複数ライン同時選択駆動方法の説明〕次に、Xドライバ(信号電極駆動回路)250の構成及び動作についての説明に移るが、本例の単純マトリクス型液晶表示装置は、従来の電圧平均化法による液晶素子駆動方法でなく、複数走査電極を同時に選択するいわゆる複数ライン同時選択(Multiple Lines Selection)駆動方法の改良技術に基づくものであるため、Xドライバ等の構成の理解を容易にするべく本発明が基にしている複数ライン同時選択の原理を先ず説明しておく。

【0025】電圧平均化法によるマルチプレクス駆動方法は、図4に示すような単純マトリクス型の液晶素子等を駆動する場合、一般に走査電極Y₁, Y₂…Y_nを1ラインずつ順次選択して走査電圧を印加すると共に、その選択される走査電極上の各画素がオンかオフかによって、それに応じた信号電極波形を各信号電極X₁, X₂…X_mに印加することで液晶素子等を駆動するものである。図5はそのときの印加電圧波形の一例を示すもので、同図(a), (b)はそれぞれ走査電極Y₁, Y₂に

12

印加する電圧波形、同図(c)は信号電極X₁に印加する電圧波形、同図(d)は走査電極Y₁と信号電極X₁との交差する画素に印加される合成電圧波形を示す。

【0026】ところで、上記のように走査電極を1ラインずつ順次選択して駆動する方法では、駆動電圧が比較的高い。また図6に示すようにオフ状態においてもやや高い電圧がかかると共に、オン状態では電圧の減衰が大きいため、コントラストが悪い。更に、フレーム階調を行なうとフリッカーが大きい等の不具合がある。

【0027】そこで、コントラストを改善し、フリッカーを抑制するために、順次複数本の走査電極をまとめ同時に選択して駆動するいわゆる複数ライン同時選択(Multiple Lines Selection)駆動方法が提案されている(例えば、A GENERALIZDADDERESSING TECHNIQUE FOR RMS RESPONDING MATRIX LCDS. 1988 INTERNATIONAL DISPLAY RESERCH CONFERENCE P80～85参照)。

【0028】図7は上記の複数ライン同時選択駆動方法によって液晶素子を駆動する場合の印加電圧波形の一例を示すものである。本例は走査電極を順次3本ずつ同時に選択して駆動するもので、例えば図4に示すような画素表示を行う場合には、最初に3本の走査電極Y₁, Y₂, Y₃を同時選択して、それらの走査電極Y₁, Y₂, Y₃に、それぞれ例えば図7の(a)に示すような走査電圧を印加する。

【0029】次いで図4において走査電極Y₄, Y₅, Y₆を選択して、それらの走査電極Y₄, Y₅, Y₆に例えば図7の(b)のような走査電圧パターンを印加するもので、このような同時選択を全ての走査電極Y₁, Y₂…Y_nについて順次行う。更に次のフレームでは電位を逆転し、液晶の交流化駆動を行なう。

【0030】従来の電圧平均化法では1フレーム期間に1回1走査電極を選択していたが、複数ライン同時選択では、走査選択方法の正規直交性を保ちながら選択期間を時間的に1フレーム内に均等分散し、これと同時に、走査電極を特定本数の組(ブロック)にして選択し、空間的に分散したものである。ここで、「正規」とは、すべての走査電圧がフレーム周期単位で同一の実効電圧値(振幅値)を持つことを意味する。また「直交」とは、ある走査電極に与えられる電圧振幅が他の任意の走査電

40 極に与えられる電圧振幅を1選択期間毎に積和したときフレーム周期単位では0になることを意味する。この正規直交性は、単純マトリクス型LCDにおいては各画素を独立してオン・オフ制御するための大前提である。例えば、図7の例では、選択時のV₁レベルを「1」, -V₁レベルを「-1」としたときの1フレーム分の行列式F₃を、非選択期間は0であるので省略して表記する。

【0031】

【数1】

(8)

$$F_3 = \begin{bmatrix} 1 & 1 & -1 & 1 \\ 1 & -1 & 1 & 1 \\ -1 & 1 & 1 & 1 \end{bmatrix} = (f_{i,j}) \quad \cdots (1)$$

【0032】である。例えば第1行目(Y_1)と第2行目(Y_2)の直交性は、

$$\sum_{j=1}^4 f_{1,j} \times f_{2,j} = 1 + (-1) + (-1) + 1 = 0 \quad \cdots (2)$$

【0034】と検証される。直交性については、数学的な内容になるので詳細な説明は割愛するが、液晶を駆動する場合、低周波成分はフリッカーの原因になるので、 h 本同時選択するとき直交性の保たれる必要最小限の行列を選択する必要がある。一般に h 本同時選択する場合、上記行列式(1)の列数に相当する1フレーム内の必要最少分散選択数は、 n を自然数とするとき、 $2^{n-1} < h \leq 2^n$ を満足する 2^n の値となる。例えば、図8に示す3本同時選択の場合の必要最少限の分散選択数は4となる。また $h = 2^n$ のときは、1選択期間 Δt は、電圧平均化法での1選択時間(1H)に等しい。

【0035】一方、信号側電圧波形は、レベル数($h+1$)の離散的な電圧レベルの中から1つのレベルを表示データに応じて決められる。電圧平均化法では、図5に※

$$C = \sum_{i=1}^h (f_{i,1} \oplus S_{i,1}) \quad \cdots (3)$$

【0037】但し、(1)式で $f_{1,1}$ が「1」であるところは、式(3)では「0」として扱う。

【0038】ここで、C値は0から h までの値をとる。電圧平均化法の場合は、 $h = 1$ であるので、C値は0から1である。図7の例では、列パターン(1, 1, 1) ★³⁰

* 【0033】
* 【数2】

10※示すように、1行選択波形に対して信号電極(行)波形は、1対1に対応しているため、オンかオフかに対応する2つの電圧レベルのうちから1つのレベルを出力するものであった。図7に示すような h 本同時選択の場合には、 h 本組になった行選択波形に対して等価的なオン・オフ電圧レベルを出力する必要がある。この等価的なオン・オフ電圧レベルは、オン表示データを「1」、オフ表示データを「0」としたとき、信号電極側データパターン($S_{1,j}, S_{2,j}, \dots, S_{h,j}$)と上記行列式の列パターン(走査電極選択パターン)との不一致数Cで決められる。

【0036】
【数3】

★の場合を考えると、信号電極側データパターン及びXドライブ出力電位は、表1のようになる。

【0039】

【表1】

不一致数	信号電極データパターン	データパターン数	Xドライブ出力電位
C = 0	(1, 1, 1)	1	-V ₃
C = 1	(0, 1, 1) (1, 0, 1) (1, 1, 0)	3	-V ₂
C = 2	(1, 0, 0) (0, 1, 0) (0, 0, 1)	3	V ₂
C = 3	(0, 0, 0)	1	V ₃

【0040】表1に示す各不一致数に対するデータパターン数は、どの列に対しても同じである。従って、列パターンが決まっていれば、Xドライブの出力電位は、不一致数又は信号電極データパターンから直接Xドライブ出力電位をデコードして決めることができる。具体的には、図7(c)に示す信号電極電圧波形となる。図4における信号電極X₁と走査電極Y₁, Y₂, Y₃との交差画素の表示は、順に1(オン), 1, 0(オフ)で、これに対する最初の Δt 内の走査電極の電位値は、順に1(V₁), 1, 0(-V₁)である。従って、不一致数は0であるから、信号電極X₁の最初の Δt 内の出力電

40位は表1から-V₃である。以下同様にして信号電極の出力電位波形が各画素に印加される。なお、図7の(d)は、走査電極Y₁と信号電極X₁とが交差する画素に印加される電圧波形、即ち、走査電極Y₁に印加される電圧波形と信号電極X₁に印加される電圧波形との合成波形である。

【0041】上記のように、順次複数本の走査電極を同時に選択して駆動する手法は、図5に示す従来の1ライセンずつ選択して駆動する方法と同じオン/オフ比を実現した上で、Xドライブ側の駆動電圧を低く抑えることができる利点がある。例えば、液晶のしきい値V_{TH}を2.

(9)

15

1 V、デューティー比 $1/240$ では、X ドライバの最大駆動電圧振幅は 8 V 程度である。これは X ドライバを高耐圧集積回路として構成する必要がなく、従来法より微細な半導体製造プロセスをそのまま適用できる途を開き、X ドライバ内蔵 RAM のビット数を経済的に増やすことができるに繋がる。

【0042】本出願人は、上記の複数ライン同時選択駆動方法についても特願平4-143482号を以て既に開示してある。この均等分散型複数ライン同時選択駆動方法では、マトリクス型表示装置において、順次複数本の走査電極を同時に選択し、かつその選択期間を 1 フレームの中で複数回に分けて電圧を印加する駆動回路を設けたことに特徴を有する。即ち、1 フレーム中に 1 回

(まとめて $h \Delta t$ の期間) 選択するのではなく、その選択期間を 1 フレーム中で複数回に分けて電圧を印加するように駆動することによって、1 フレーム中で或る画素には複数回電圧が印加されることになるので、明るさが維持されコントラストの低下を抑制することができる、特に、累積応答効果の少ない高速応答性の液晶パネルの使用に有意義となる。

【0043】この事については、図 8 に示すように非選択期間（ある走査電極が選択されてから次に選択されるまでの期間）が短くなり、従来例における図 6 との比較からも明らかのように、オン状態はより明るく、かつオフ状態はより暗くなつてコントラストを高めることができる。またフリッカーも減少させることができる。このように、改良された複数ライン同時選択駆動方法は、走査電極の複数のパルスパターンを一括して出力するのではなく、分散して出力するものである。なお、本例においては各選択期間の選択パルスを出す順番は任意であり、1 フレームの中で適宜入れ替えることができる。また本例では 4 つの列パターンを 1 つずつ 4 回に分けたが、複数ずつ、例えば 2 つずつ 2 回に分けて出力することもできる。

【0044】ここで、複数ライン同時選択駆動方法の説明に深入りせずに、ドライバの説明に話しほ戻すことにする。ただ、上述したように本例の液晶表示装置は均等分散型複数ライン同時選択駆動方法を採用しており、またドライバがフレームメモリ内蔵型でありながらモジュール・コントローラ 100 によって制御されるようになっているので、以下の説明では、ドライバが両者の要請に叶う構成でなければならないことを理解されたい。

【0045】〔走査電極駆動回路（Y ドライバ）の説明〕ここで、以下に説明するドライバの複数ライン同時選択駆動方法において、同時選択にあづかる走査電極の数は、回路部の機能を容易に理解するために、最小の本数即ち 2 本 ($h = 2$) とする。従って、図 9 に示すように、 $2^1 = 2$ の数だけ走査電極波形の列パターンがある。また 2 つの異なる電圧パルスパターンを連続した 2 本の走査電極に印加するようにしてあり、1 フレームは

(9)

16

2 フィールド（2 垂直走査）により構成される。走査電極の総数を 120 本とすると、同時選択される 2 本の走査電極のブロックの数は 60 である。そして、あるブロックに対しては、最初に 2 種類のパルスパターンが印加されてから次の異なる 2 種類のパルスパターンが印加されるまでには $(60 - 1) \Delta t = 59 \Delta t$ の非選択期間がある。1 フレームは $120 \Delta t$ で完了する。但し、 Δt は 1 選択期間（1 水平期間）である。

- 【0046】Y ドライバ 220 は、図 10 に示すように、フレーム開始パルス YD やラッチパルス等を基にフィールド毎の列パターンを作成するコード発生部 221 を有する半導体集積回路である。本例の走査電極 $Y_1 \sim Y_n$ の印加電圧は、選択期間においては V_1 又は $-V_1$ であり、非選択期間においては 0 V で、合計 3 レベルであるので、電圧セレクタ 222 に対する選択制御情報は各走査電極 $Y_1 \sim Y_n$ 每 2 ビットが必要である。このため、複数ライン同時選択のためのコード発生部 221 は、フィールド計数カウンタ（図示せず）と第 1 及び第 2 シフトレジスタ 223, 224 をフレーム開始パルス YD で初期化した後、第 1 フィールドの選択列パターンに対応する 2 ビットの電圧選択コード D_0, D_1 を直並列変換用の第 1 シフトレジスタ 223 及び第 2 シフトレジスタ 224 に転送する。第 1 シフトレジスタ 223 及び第 2 シフトレジスタ 224 はそれぞれ走査電極の本数に対応した 120 ビットシフトレジスタであり、第 1 シフトレジスタ 223 は下位ビットの電圧選択コード D_0 を、第 2 シフトレジスタ 224 は上位ビットの電圧選択コード D_1 をそれぞれ同一のシフトクロック CK により格納する。シフトクロック CK はラッチパルス LP を $1/2$ 分周したもので、コード発生部 221 のタイミング生成回路（図示せず）により発生する。コード発生部 221 はラッチパルスの 2 クロック目から第 1 フィールド終了までの期間は、非選択パターンに対応するコードを発生する。シフトレジスタはシフトクロック CK に対して単一の 240 ビットのシフトレジスタがあるのではなく、シフトクロック CK に対して並列の 120 ビットのシフトレジスタ 223, 224 が設けられているので、ラッチパルス LP により低い周波数で動作させることができ、極めて低消費電力動作が可能となっている。
- 【0047】第 1 シフトレジスタ 223 及び第 2 シフトレジスタ 224 の各ビットの電圧選択コード D_0, D_1 は、シフトクロック CK の発生を契機に隣接ビットにシフトされ、選択時間 Δt だけ出力維持される。このシフトレジスタの出力はレベルシフタ 226 へ供給され、その低論理振幅レベルから高論理振幅レベルへ変換される。レベルシフタ 226 から出力される高論理振幅レベルの電圧選択コード D_0, D_1 は同時にレベル変換された液晶交流化信号 FR と共に波形形成部としてのデコーダ 227 に供給され、選択制御信号が生成される。この選択制御信号で電圧セレクタ 222 が開閉制御されること

(10)

17

により各走査電極 $Y_1 \sim Y_n$ へ印加電圧 $V_1, 0, -V_1$ のいずれかが供給される。

【0048】本例では、図10(b)に示すように、複数のYドライバ $1 \sim n$ をカスケード接続できるようにコード発生部221の機能を初段Yドライバ1と次段以降のYドライバ $2 \sim n$ とでセレクト端子MSを使って変えることを前提としている。即ち、初段Yドライバ1では、前述のフレーム開始パルスYDによる初期化後、前述の2つのシフトレジスタ223, 224に向けて電圧選択コードを発生するタイミングに移るが、次段以降は、セレクト端子MSが低レベル入力になっているため、電圧選択コードを発生するタイミングには自動的に移らない。次段以降のYドライバ $2 \sim n$ は、初段のキャリー信号(FS)をFSI入力端子から入力して初めて電圧選択コードを前述の2つのレジスタ223, 224に向けて発生する。そして最終段のYドライバ n からのキャリー信号(FS)が出力されたときが、第1フィールドが終了するときである。このときはコントローラからは第2フィールドの開始信号は来ないので、最終段のYドライバ n のキャリー信号(FS)を初段のYドライバ1のFSI端子及びXドライバのFS端子に帰還し、第2フィールドの電圧選択コードを前述の2つのシフトレジスタ223, 224に対して発生する。この後、前述した第1フィールドと同様に動作し、第2フィールドを終了し、次のフィールド(第1フィールド)の動作に移る。以上の機能は、コントローラに対する同時選択ライン数やYドライバの端子数の制約を緩和し、従来の電圧平均化法の場合と同じ周波数のフレーム開始パルスYD、ラッチパルスLPを使うことができる。

【0049】【信号電極駆動回路(Xドライバ)の説明】複数のXドライバ $250-1 \sim 250-N$ は共に同一構成の半導体集積回路で、これらは図1に示すように相互にチップイネーブル出力CEOとチップイネーブル入力CEIを介してカスケード接続されている。いずれのXドライバ 250 も、従来のRAM内蔵型ドライバと異なり、MPU10に直結するシステムバス14を共有せず、データバス17を介してモジュール・コントローラ100に繋がっているだけである。各Xドライバ 250 は、図11に示すように、アクティブ・ローの自動パワーセーブ回路としてのチップイネーブル・コントロール回路251と、主にモジュール・コントローラ100から供給される信号を基に所要のタイミング信号等を形成するタイミング回路253と、イネーブル信号Eの発生を契機にモジュール・コントローラ100から転送される表示データDATAを取り込むデータ入力制御回路254と、表示データDATA(1ビット、4ビット又は8ビット)をシフトロックXSCLの立ち下がる度に順次取り込み1走査ライン分の表示データDATAを格納する入力レジスタ255と、入力レジスタ255からの1走査ライン分の表示データDATAをラッチパル

18

SLPの立ち下がりにより一括ラッチして1シフトクロックXSCL以上の書き込み時間をかけてフレームメモリ(SRAM)252のメモリマトリクスに書き込む書き込みレジスタ256と、走査スタート信号YDにより初期化され書き込み制御信号WR又は読み出し制御信号RDの印加の度にフレームメモリ252の行(ワード線)を順次選択する行アドレスレジスタ257と、フレームメモリ252よりの表示データと走査電極の列パターンとの組から対応する信号電極の駆動電圧情報を割り出す信号10パルス割り出し回路258と、信号パルス割り出し回路258からの低論理振幅レベルの信号を高論理振幅レベルの信号に変換するレベルシフタ259と、レベルシフタ259から出力される高論理振幅レベルの電圧選択コード信号により電圧 V_2, M (例えば0), $-V_2$ のいずれかを選択して各信号電極 $X_1 \sim X_n$ に印加する電圧セレクタ260とを有している。

【0050】ドライバチップ単位のパワーセーブを行なうチップイネーブルコントロール回路251とそれに関する回路部分は従来技術を使用できる。チップイネーブルコントロール回路251は、チップイネーブルになっているチップだけがシフトロックXSCLと表示データDATAをドライバ内に取り込むように内部イネーブル信号を発生し、タイミング回路253とデータ入力制御回路254の動作/停止を制御する。この制御は、ラッチパルスLPの周期毎に繰り返される。即ち、ラッチパルスLPの入力によりチップイネーブルコントロール回路251の内部は、カスケードされたどのドライバチップもパワーセーブ状態からスタンバイ状態になると共に、イネーブル出力CEOは高レベルになる。ここで、どのドライバチップがイネーブルになるかパワーセーブ状態を保つかは、イネーブル入力端子CEIの状態によって決定される。即ち、図1の例では、初段のXドライバ $250-1$ のチップイネーブル入力CEIは、接地(アクティブ)されているので、即座に内部イネーブル信号Eはアクティブ状態になり、シフトロックXSCL、表示データDATAを内部に取り込む。チップイネーブルコントロール回路251は、入力レジスタ255のビット数分の表示データを取り込に必要なシフトクロック数分のシフトロックを入力した時点でイネーブル出力CEOを高レベルから低レベルにする。これによってカスケード接続された次段Xドライバ $250-2$ のイネーブル入力CEIは低レベルとなり、即座に次段ドライバの内部イネーブルEはアクティブとなる。これ以後の動作は前述の初段ドライバの動作と同じである。以下同様に3段目以降のXドライバ $250-3 \sim 250-N$ のチップイネーブル入力CEIは順次低レベルとなり、所定の入力レジスタ255に対する表示データが取り込まれる。従って、N個のXドライバをカスケード接続しても、表示データの取り込み動作をするXドライバは、常時1個に限られるので、表示データの取り込み動

(11)

19

作に係わる消費電力を低く抑えることができる。

【0051】タイミング回路253の構成の詳細は、一部省略して示す図12のように、上記シフトクロックX SCLをイネーブル信号Eの応答により内部へ取り込むための論理積ゲート253aと、イネーブル信号Eの応答によりNANDゲート253bを介して内部へ取り込んだラッチパルスLP及び書き込み制御信号WRの遅延した反転パルスに基づき1ラッチパルスの周期内にプリチャージ用の2発の準備パルスを生成する論理積ゲート253cと、この論理積ゲート253cの出力パルスの立ち上がりにトリガして所定パルス幅のプリチャージ制御信号PCを発生する第1のワンショット・マルチバイブレータ(プリチャージ制御信号発生回路)253-1と、これにカスケード接続され、プリチャージ制御信号PCの遅延した反転パルス及びラッチパルスLPの反転パルスの立ち上がりにトリガして所定パルス幅の書き込み制御信号WRを生成する第2のワンショット・マルチバイブレータ(書き込み制御信号発生回路)253-2と、これにカスケード接続され、プリチャージ制御信号PCの遅延した反転パルス及び書き込み制御信号WRの遅延した反転パルスの立ち上がりにトリガして所定パルス幅の読み出し制御信号RDを生成する第3のワンショット・マルチバイブレータ(読み出し制御信号発生回路)253-3と、シフトクロックX SCLのインバータ253dを介した逆相クロックでリセットされシフトクロックX SCLの入来を検出するシフトクロック検出回路253-4と、シフトクロック検出回路253-4からのシフトクロック検出信号WEにより第2のワンショット・マルチバイブレータ253-2からの書き込み制御信号WRを通過・遮断する書き込み禁止用論理積ゲート253-5とを有している。

【0052】第1のワンショット・マルチバイブルレータ253-1は、論理積ゲート253cの出力の立ち下がりによりノードN₁を高レベルにセットするNANDゲート253e, 253fから成るフリップ・フロップと、ノードN₁が高レベルのとき高レベルのプリチャージ制御信号PCを作成するNANDゲート253g及びインバータ253hと、フレームメモリ252内の回路での等価的な信号遅延時間を見越して作り込まれプリチャージ制御信号PCを遅延する遅延回路253iと、そのプリチャージ制御信号PCを反転してNANDゲート253fのリセット入力に加えるインバータ253jとを有している。第1のワンショット・マルチバイブルレータ253-1においては、NANDゲート253eのセット入力端子の入力が立ち下がるとノードN₁は高レベルにセットされ、次いでANDゲート253cの出力が高レベルになったときプリチャージ制御信号PCが立ち上がり、かかる後遅延回路253iで決まる遅延時間が経過すると、NANDゲート253fのリセット入力が立ち下がり、ノードN₁は低レベルとなるので、プリチ

(11)

20

ヤージ制御信号PCが立ち下がる。論理積ゲート253cの出力の立ち上がりは、ラッチパルスLPの立ち上がり時と後述する書き込み制御信号WRの遅延信号の立ち上がり時に発生するので、1ラッチパルスの周期内でプリチャージ制御信号PCのパルスは2回発生する。

【0053】第2及び第3のワンショット・マルチバイブルレータ253-2, 253-3も第1のワンショット・マルチバイブルレータ253-1とほぼ同様な回路構成を有しているので、同一構成の部分には図12では同一参照符号で示してある。第2のワンショット・マルチバイブルレータ253-2は、プリチャージ制御信号PCの遅延反転信号、ラッチパルスLPの反転信号及びNANDゲート253eのノードN₂を3入力とするNANDゲート253g' とフレームメモリ252内の回路での等価的な信号遅延時間を見越して作り込まれ書き込み制御信号WRを遅延する遅延回路253kを有している。NANDゲート253eのノードN₂はラッチパルスLPの反転信号の立ち下がりで高レベルにセットされるが、プリチャージ制御信号PCの最初の立ち下がり(プリチャージ制御信号PCの遅延反転信号の最初の立ち上がり)によりNANDゲート253g' の出力が立ち下がるので、書き込み制御信号WRが立ち上がり、かかる後遅延回路253kで決まる遅延時間が経過すると、NANDゲート253fのリセット入力が立ち下がり、ノードN₂は低レベルとなるので、書き込み制御信号WRが立ち下がる。この後、2発目のプリチャージ信号PCの遅延反転信号が立ち上がるが、ノードN₂は未だラッチパルスLPの立ち下がりによって高レベルにはセットされていないので、NANDゲート253g' の出力は高レベルのままであり、1ラッチパルスの周期内においては、書き込み制御信号WRのパルスは最初のプリチャージ制御信号の立ち下がりにより1パルス出力されるのみである。第3のワンショット・マルチバイブルレータ253-3は、プリチャージ制御信号PCの遅延反転信号、書き込み制御信号WRの遅延反転信号、NANDゲート253eのノードN₃を3入力とするNANDゲート253g' と、フレームメモリ252内の回路での等価的な信号遅延時間を見越して作り込まれ読み出し制御信号RDを遅延する遅延回路253mを有している。NANDゲート253eのノードN₃は、プリチャージ制御信号PCの最初の立ち下がり(プリチャージ制御信号PCの遅延反転信号の最初の立ち上がり)の後に発生する書き込み制御信号WRの遅延反転信号の立ち下がり(書き込み制御信号WRの立ち上がり)で高レベルにセットされているので、2発目のプリチャージ制御信号PCの最初の立ち下がり(プリチャージ信号PCの遅延反転信号の最初の立ち上がり)によりNANDゲート253g' の出力が立ち下がり、読み出し制御信号RDが立ち上がるとなる。かかる後遅延回路253mで決まる遅延時間が経過すると、NANDゲート253fのリセット入力が立ち

(12)

21

下がり、ノードN₃は低レベルとなるので、読み出し制御信号RDが立ち下がる。1ラッチパルスの周期内においては、読み出し制御信号RDは2発目のプリチャージ制御信号PCの立ち下がりにより所定パルス幅の1パルス出力されるのみである。

【0054】シフトクロック検出回路253-4は、シフトクロックX S C Lの逆相クロックをリセット入力R(バー)とすると共に、ラッチパルスLPの反転クロックの立ち上がりで接地電位(低レベル)をデータ反転入力D(バー)として記憶するD型フリップ・フロップ253sと、ラッチパルスLPの反転クロックの立ち上がりでD型フリップ・フロップ253sの反転出力Q(バー)をデータ反転入力D(バー)として記憶するD型フリップ・フロップ253tを有している。シフトクロックX S C Lの入来があると、まず最初のシフトクロックX S C LのパルスでD型フリップ・フロップ253sがリセットされ、そのQ(バー)出力が高レベルとなっているが、ラッチパルスLPの立ち下がりによってD型フリップ・フロップ253sには接地電位がデータ反転入力D(バー)として記憶されるのでそのQ(バー)出力が低レベルへ遷移すると共に、D型フリップ・フロップ253tは高レベルのデータ反転入力D(バー)を記憶するので、そのQ(バー)出力たるシフトクロック検出信号WEが高レベルとなる。2発目のシフトクロックX S C Lの入来すると、D型フリップ・フロップ253sはリセットされ、そのQ(バー)出力が高レベルに戻る。このようにシフトクロックX S C Lの入来が続く限り、D型フリップ・フロップ253tからのシフトクロック検出信号WEは高レベルであるので、論理積ゲート253-5は導通状態のままであり、第2のワンショット・マルチバイブレータ253-2からの書込み制御信号WRはフレームメモリ等へ出力され続ける。他方、シフトクロックX S C Lの入来が止み、最後のシフトクロックX S C LのパルスでD型フリップ・フロップ253sのQ(バー)出力が低レベルに設定された状態のままでラッチパルスLPが入来すると、D型フリップ・フロップ253tからのシフトクロック検出信号WEが低レベルになるので、論理ゲート253-5が閉じ、書込み制御信号WRの通過が禁止される。

【0055】次に、図13を参照しつつXドライバ250における周辺回路とフレームメモリ252から信号パルス割り出し回路258、レベルシフタ259及び電圧セレクタ260までの1信号電極当り(1出力X_m)のmビット回路部250mに着目した回路構成を説明する。フレームメモリ252のメモリマトリクスにおける奇数ワード線W_{2i-1}、偶数ワード線W_iとビット線B_{Lm}、B_{Lm}(バー)との交点にはメモリセルC_{2i-1,m}、C_{2i,m}があり、画素P_{2i-1,m}、P_{2i,m}に対応した表示データ(オン・オフ情報)が格納されている。ラッチパルスLPが発生すると、タイミング回路253からブ

22

リチャージ信号PC、書き込み制御信号WR又は読み出し制御信号RDが生成されるので、フレームメモリ252への印加により奇数ワード線W_{2i-1}が行アドレスレジスタ257の順次的な指定によりフレームメモリ252内の行アドレスデコーダによって選択され、メモリセルC_{2i-1,m}についての書き込み又は読み出しが行われる。また次のラッチパルスLPが発生すると、偶数ワード線W_iが選択され、メモリセルC_{2i,m}についての書き込み又は読み出しが行われる。なお、読み出し動作においては読み出しが行われる。

【0056】本例のXドライバ250においては、前述したような2ライン同時選択駆動方式を採用している都合上、1水平期間毎2ラインに亘る表示データと走査電極の列パターンとから信号電極電位を決定する必要がある。周辺回路には偶奇ライン識別回路(同時選択ラインのライン順番識別回路)250aが設けられており、この偶奇ライン識別回路250aは、フレーム開始パルスYDのインバータ250bを介した逆相パルスによってリセットされ読み出し制御信号RDの入来毎に記憶内容の反転するD型フリップ・フロップ250aaと、そのQ(バー)出力とラッチパルスLPとを2入力とする奇数ライン検出用NANDゲート250abと、D型フリップ・フロップ250aaのQ出力とラッチパルスLPとを2入力とする偶数ライン検出用NANDゲート250acとから構成されている。奇数番目のラッチパルスLPが立ち上ると、NANDゲート250abの出力LP1が立ち下がり、この奇数番目のラッチパルスLPの立ち下がりにより出力LP1が立ち上がる。また偶数番目のラッチパルスLPが立ち上ると、NANDゲート250acの出力LP2が立ち下がり、この偶数番目のラッチパルスLPの立ち上がりにより出力LP2が立ち上がる。従って、出力LP1、LP2は交互に出力されることになる。偶奇ライン識別回路250aは、モジュール・コントローラ100等で作成されたラッチパルスLPから偶奇ライン毎のラッチパルスLP1、LP2を作成する。

【0057】本例においては、前述したように均等分散型2ライン同時選択駆動方式であるので、2¹=2の数だけ走査電極の電圧パルスパターンがあるが、2つの異なる列パターンを連続した2本の走査電極に印加するようにしてあるので、そのパターン数を展開するには2フィールドが必要である。他方、フレーム毎に交流化信号FRが反転するため、これも考慮すると、4フィールドですべての列パターンが展開されることになる。このため、周辺回路には走査電極の電位パターンを指定するフィールド・ステート回路250cが設けられている。なお、この電位パターンの指定情報はXドライバ内で発生させずに、走査電極ドライバ側のコード発生部221又はモジュール・コントローラ100から受けけるようにする

(13)

23

ことでもできる。このフィールド・ステート回路 250c は、フレーム開始パルス YD の逆相パルスによってリセットされフィールド開始パルス FS の入来毎に記憶内容の反転するD型フリップ・フロップ 250ca と、そのQ出力と交流化信号 FR を2入力とする論理積ゲート 250cb と、D型フリップ・フロップ 250ca のQ
(バー) 出力と交流化信号 FR のインバータ 250cc を介した信号を2入力とする論理積ゲート 250cd と、論理積ゲート 250cb, 250cd の両出力を2
入力とする論理和ゲート 250ce とから構成されている。インバータ 250cc の奇数ラインの読み出し時に発生するラッチパルス LP 1 によってメモリセル C_{2i, m} の表示データ (オン・オフ情報) が信号パルス割り出し回路 258 の1ビットのラッチ回路 258-1m に取り込まれ、不一致数判定回路 258-2m の下位ビット用排他的論理和ゲート EX₁ に供給される。またこれに引き継ぎ発生する偶数ラインのラッチパルス LP 2 によってメモリセル C_{2i, m} の表示データ (オン・オフ情報) は直接不一致数判定回路 258-2m の上位ビット用排他的論理和ゲート EX₂ に供給される。ラッチパルス LP 1, 2 は交互に出力されるのでラッチ回路 258-1 と 258-3 のラッチ期間は互いにオーバーラップ期間を持っており、両メモリセルの表示データ (オン・オン, オン-オフ, オフ-オン, オフ-オフ) は同時に不一致数判定回路 258-2m へ供給される。また前述の2本の走査電極の列パターンに相当する情報も不一致数判定回路 258-2m に供給されているので、不一致数判定回路 258-2m は表示データの2ビット情報と走査電極の2ビット情報の桁不一致を検出する。2本同時選択の場合は、2ビット出力であるので不一致数判定回路 258-2m の出力はそのままコード化された不一致数として扱うことができる。本例における採りうる不一致数は0, 1 又は2である。不一致数判定回路 258-2m で得られた2ビット情報はラッチ回路 258-3m に取り込まれ、その不一致数信号はレベルシフタ 259m で高論理振幅レベルの信号に変換される。そして、電圧セレクタ 260m のデコーダ 260a はその不一致数信号をデコードし、選択スイッチ 260b のトランジスタのいずれかを開閉させることにより、信号電極の電位 -V₂, 0, V₂ のいずれかが選択されることになる。なお、本例では不一致数0のときは -V₂、不一致数1のときは0、不一致数2のときはV₂ が選択される。このようなXドライバの構成によって均等分散型2ライン同時選択駆動が可能となる。また、不一致数を判定しなくとも、前述のフレームメモリ出力とフィールド・ステート回路 259c の出力から直接デコードするような回路構成を採用しても良い。

【0058】以上の説明で本例におけるXドライバの各部の構成及び動作が理解されたことであろうが、図14-1のタイミングチャートを参照しつつフレームメモリの書

24

込み及び読み出し動作を説明する。モジュール・コントローラ 100 のタイミング信号発生回路 120 によって図14に示すようなフレーム開始パルス YD, ラッチパルス LP が発生する。フレーム開始パルス YD は1フレーム期間 (1F) 每発生し、またラッチパルス LP は1水平期間 (1H) 内に2回発生する。ここでは、1フレーム期間内にN個のラッチパルスが発生する。ラッチパルス LP の1周期内ではモジュール・コントローラ 100 から1走査ライン分の表示データ DATA (WD_i) がシフトクロック X SCL によってXドライバ 250 へ転送されて来る。図14ではVRAM 12内の表示データ DATA のうち第3走査ライン目の表示データ WD 3 を除き他のすべての走査ライン目の表示データが変更された場合の書き込み・読み出し動作を示しているので、第3走査ライン目の表示データ WD 3 の転送は新たに行われず、第3走査ライン目の表示データの表示動作はフレームメモリ 252 内の旧データを読み出すことにより達成される。Xドライバ 250 のタイミング回路 253 によって図14に示すような読み出し制御信号 RD, シフトクロック検出信号 WE 及び書き込み制御信号 WR も発生する。モジュール・コントローラ 100 側で新データ WD 2 の転送をXドライバ 250 に対して完了すると、前述したようにシフトクロック X SCL の転送も中止される。その後新データ WD 4 以降の転送とシフトクロック X SCL の発振が行われる。シフトクロック X SCL の転送が一時中止されると、前述したように、モジュール・コントローラ 100 はスタンバイ期間 S に入るので、タイミング回路 253 のシフトクロック検出回路 253-4 がそれを検出してシフトクロック検出信号 WE が発生する。これによって書き込み制御信号 (W3) のみ発生しない。まず、最初のラッチパルス (LN) が発生すると、1ライン目の表示データ (WD 1) が次のラッチパルス (L 1) の発生までの間 (1周期内) にXドライバ 250 へ入来し、ラッチパルス (L 1) の発生により書き込みレジスタ 256 に取り込まれてフレームメモリ 252 の該当行アドレスに書き込まれるが、最初のラッチパルス (LN) が発生から次のラッチパルス (L 1) の発生までの間には、フレームメモリ 252 から1ライン目の旧データの読み出し動作が行われる。ラッチパルス LP が発生すると、先ず第1番目のプリチャージ制御信号 PC 1 (期間C) が発生してから書き込み制御信号 WR (期間A) が発生し、しかる後、第2番目のプリチャージ制御信号 PC 2 (期間C) が発生してから読み出し制御信号 RD (期間B) が発生するが、シフトクロック X SCL の発振がないと書き込みモードは存在せず、読み出し制御信号 RD により1ライン目の旧データの読み出し動作が行われる。この読み出し動作においては、行アドレスレジスタ 257 によって1ライン目の行アドレスが指定され、次のラッチパルス (L 1) の発生による奇数ラッチパルス LP 1 により1ライン目の旧データがフレ

(14)

25

ームメモリ 252 から読み出されラッチ回路 258-1 m に格納されて下位桁用排他的論理和ゲート EX1 へ送られる。この 1 ライン目の旧データのラッチの後そのラッチパルス (L1) により 1 ライン目の新データ WD1 がフレームメモリへ書き込まれる。ここで、フレームメモリ 252 への書き込みは、1 ライン 640 ドットのときは入力レジスタ 255 から数 100 ns 程度の 1 シフトクロック X SCL で行われるのではなく、バッファとしての書き込みレジスタ 256 からそれ以上の充分な時間 (数 μs) をかけて 1 ライン分一挙に書き込むようにしている。従って、大容量表示になるに従い、書き込み速度の高速化を要求されるが、ラッチパルスにより書き込みレジスタ 256 を介して書き込み動作を行うことが望ましい。ラッチパルス L2 の周期内において、1 ライン目の新データ WD1 の書き込みの後は、読み出し制御信号 R2 により 2 ライン目の旧データの読み出しが行われ、上位桁用排他的論理和ゲート EX2 へ送られる。そして、偶数ラインのラッチパルス LP2 の発生により不一致判定回路 258-2 で得られた不一致数の 2 ビット情報がラッチ回路 258-3 でラッチされ、前述したように、電圧セレクタ 260 でいずれかの信号電圧が選択され、1 走査ライン目分と 2 走査ライン目分に関する信号電極電位が液晶マトリクスに印加される。

【0059】このように、本例の X ライバ 252 は、1 ラッチパルス周期内に同一の行アドレスに対する書き込みモードと読み出しモードを分割し、旧データの読み出し後に次のラッチパルスの発生により新データの書き込みを実行するようにしている。従って、表示データの書き込みから読み出しまでは 1 フレーム期間 (1 F) である。

【0060】これはとりわけ複数ライン同時選択駆動方式を採用する場合に必要となる。信号電極の駆動波形を決める表示データを読み出し期間において該当するフレームメモリのデータは一部新データに変わっていると、不一致判定回路 258 が旧データのラインと新データのラインの組から意味のない表示態様となる信号電極の駆動波形を決定してしまうからである。特に同時に全本数を選択する場合もあるので、表示データの書き込みから読み出しまでは 1 フレーム期間 (1 F) 必要となる。従って、表示をスクロールするときに発生が考えられる意味のない表示態様を避けるには、選択本数を問わず、1 フレーム期間 (1 F) 後に読み出すようにすれば良い。ただ、同時選択の本数が少ないと、1 フレーム期間 (1 F) までは必要ない。1 ラッチパルス LP の周期内で、同一の行アドレスに対して読み出しモード後に書き込み動作を行うようにすることもできる。しかしながら、本例においても充分な書き込み期間を確保するために、フレームメモリに対する書き込みはシフトクロック X SCL のタイミングでなくラッチパルス LP のタイミングによって書き込みレジスタ 256 により行うようにしてあることからも明らかのように、読み出しモード後に書き込み動作を行

(14)

26

行うと、書き込み時間が充分確保されない事態や、自動パワーセーブのセット等のタイミングは厳しくなる。特に複数ライン選択駆動方式では、ラッチパルス、シフトクロック等が従来に比して必然的に遅倍的に高速化されるので、上記のモード順は採用し難くなる。まして大容量表示になると一層難しくなる。従って、1 ラッチパルス周期内に同一の行アドレスに対する書き込みモード後に 1 回又は複数回の読み出しモードを実行させ、旧データの読み出しから 1 フレーム期間後に新データの書き込みを実行するようになることが望ましい。

【0061】上記実施例においては、均等分散型 2 ライン同時選択駆動方式を採用しているため、1 水平期間内にフレームメモリ内の 2 行ライン分の表示データを読み出す必要があるので、1 水平期間内に 2 発のラッチパルス LP が発生するようモジュール・コントローラ 100 のタイミング信号発生回路 120 の分周比を設定している。これは、フレームメモリのメモリマトリクスのセル配列において表示マトリクスの信号電極の本数とフレームメモリの列アドレス数とが等しく、走査電極の本数と行アドレス数とが等しい一般的な場合を前提としているからである。しかしながら、図 15 に示すように、フレームメモリの列アドレス数を表示マトリクスの信号電極の本数の 2 倍で行アドレス数を走査電極の本数の半分

(ブロック数) としたメモリセル配列の RAM を用いる場合には、従来通り、1 水平期間内に 1 回発生するラッチパルス LP を利用することができる。即ち、ラッチパルス LP の発生により読み出しモードになると、例えばフレームメモリの奇数ワード線 WL_{2i} に繋がるメモリセル C_{2i, 2m}、C_{2i, (2i+1)} から同時に 1 ライン目及び 2 ライン目の表示データがセンスアンプ 252m を介して出力され、2 ライン分の表示データの読み出しが 1 発のラッチパルス LP だけで済む。このような回路構成では、図 13 に示すような 2 ライン目の表示データが出力されるまで 1 ライン目表示データを保持しておく待ち合わせ用のラッチ回路 258-1m を除くことができ、高速化の傾向のある第 1 のラッチパルス LP1 と第 2 のラッチパルス LP2 とのタイミング調整が微妙にならず、ドライバセル部分の回路構成の簡素化により複数同時選択駆動方式の実用化に寄与する。

【0062】ただし、図 16 又は図 15 のメモリ構成の場合、ラッチパルス LP の入力に対するフレームメモリのワード線のアドレス歩進のスピードが書き込みより読み出しの方が速くなる。このため、図 16 に示すように、行アドレスレジスタ 257' は、書き込みアドレス発生用 W カウンタ 261 と読み出しアドレス発生用 R カウンタ 262 を独立に持つおり、その出力をマルチプレクサ 263 で切り換え、マルチプレクサ 263 の出力 RA をアドレスデコーダ 252' d へ与える。書き込みアドレス発生用 W カウンタ 261 は、フレーム開始パルス YD で初期化され、図 12 で示されるプリチャージ信号 PC

(15)

27

と書込み制御信号WR Tを使って書込みアドレスを生成する。また、読み出しアドレス発生用Rカウンタ262は、フレーム開始パルスYDで初期化され、図12で示されるプリチャージ信号PCと読み出し制御信号RDを使って読み出しアドレスを生成する。このようにすることによって、 2^n 本複数ライン同時選択駆動の場合は、同時選択ライン数に関係なく、従来方式のコントローラと同じラッチパルスLPの周期で表示データをコントローラからXドライバに転送することができる。

【0063】ここで、上記2ライン同時読み出しの手法を一般化し、複数ライン同時選択駆動方式において複数ライン分の表示データをフレームメモリから同時に読み出すXドライバの全体構成を図16を参照して簡単に説明しておく。まずフレームメモリ252'のメモリマトリクス部252'aの縦横構成を $(h \times 2^n \times D) \times W$ とする。ここで、

h : 複数ライン同時選択駆動において同時選択駆動される走査電極の本数

n : 自然数

D : Xドライバ1個当たりのドライバ出力数(駆動できる信号電極の本数)

W : ワード線の本数

$(h \times 2^n \times D) \times W$ は、Xドライバ1個が駆動できる最大表示ドット数に等しい。因みに、図11のフレームメモリ構成は(ドライバ出力数) × (表示ライン数)である。

【0064】図16において、書込みレジスタ256に蓄えられた表示データは書込み制御信号WRに従って書込み回路252'bと書込みセレクタ252'cを通してアドレスデコーダ252'dで選択されたワード線に繋がるメモリセルに書き込まれる。アドレスデコーダ252'dは図11の行アドレスシフトレジスタ257から出力される行アドレスをデコードするものである。表示データの読み出し動作においては、読み出し制御信号RDに従って $(h \times 2^n \times D)$ ビットの表示データがフレームメモリのメモリマトリクス部252'aから読み出しセレクタ252'eに読み出される。読み出しセレクタ252'eはアドレスデコーダ252'dの出力に従って $(h \times 2^n \times D)$ ビットのデータを選択する。従って、n=0のときは読み出しセレクタ252'eは不要となる。 $(h \times D)$ ビットの表示データは、1走査期間にXドライバにより同時駆動される全表示データである。読み出しセレクタ252'eの出力はセンサ回路252'fによりデジタル信号に変換され、信号パルス割り出し回路258'の複数同時選択駆動用デコーダ

(MLSデコーダ)258'aに送られる。MLSデコーダ258'aは、表示データ、液晶交流化信号FR、走査スタート信号YDによりリセットされ、Yドライバからのキャリー信号FSをカウントし、1フレーム内の走査状態を区別するステートカウンタ258'cからの

50

28

出力を受けて、ドライバ出力電位を選択する信号をデコードする。MLSデコーダ258'aの出力はラッチパルスLPをクロックとするラッチ回路258'bにより同期がとられ、レベルシフタ259へ与えられる。このような回路構成によれば、複数同時選択駆動方式と言えども、複数ライン分の表示データの読み出しが1走査当たり1回で済むことになり、消費電力の削減効果と共に、回路タイミングの単純化も実現できる。

【0065】なお、本例においては均等分散型2ライン同時選択駆動方式を採用する場合を特に説明してあるが、本発明は3ライン以上の複数ラインを同時に選択する駆動方式の場合にも適用できる。また本発明は部分的に従来から用いられている電圧平均化法の駆動方式にも適用できることは言う迄もない。更に、単純マトリクス型に限らず、MIM駆動方式等にも適用できる。上記実施例では、フレームメモリは表示体の画素に1対1に対応するセルを持たせてあるが、表示体画素のうち現在駆動されている画素の前後に關係する一部分又は複数画面分のフレームメモリを持ち、間欠的に表示データをモジュール・コントローラからXドライバに送る方式や、表示体の画素に対して圧縮された表示データを用いる方式についても、本発明を適用できるところである。また更に、本発明は、LCD表示装置に限らず、蛍光表示管、プラズマディスプレイ、エレクトロルミネッセンス等のマトリクス型ディスプレイや液晶のライトバルブ性を用いた液晶応用装置等にも広く適用できるものである。

【0066】

【発明の効果】以上説明したように、本発明は、従来のマトリクス型表示制御装置と、従来のメモリ内蔵型の信号電極ドライバとを組合せた方式において、マトリクス型表示制御装置の高周波クロックの発振源を表示データの転送の際に間欠動作させるようにしたことに特徴を有する。このようなマトリクス型表示制御装置によれば、第1の記憶手段において表示データの変更があったときだけ高周波クロックが動作し、表示データを第2の記憶手段へ転送するものであるから、高周波クロックの間欠動作によりマトリクス表示装置全体の低消費電力化を図ることができる。

【0067】また第2の記憶手段に対する転送処理はMPUが行うのではなく、仲介に立つマトリクス表示制御装置が実行するものであるため、第1の記憶手段側のホストMPUの処理負担を低減できると共に、更に信号電極の駆動装置をカスケード接続することにより、第2の記憶手段に走査ライン毎の表示データが一挙に格納されるので、アドレスの対応付けの容易化も達成でき、従って、画面変更の高速化を達成できる。更に、信号電極の駆動装置のカスケード接続により大容量表示装置でもマトリクス型表示制御装置と駆動装置との結線数を抑制でき、表示画面面積比率の大きな表示装置を実現できる。

【0068】また、信号電極ドライバにおいては高速ク

(16)

29

ロックを用いないで1走査期間を分割したタイミングで第2の記憶手段に余裕を以てアクセスするようにしてある。

【0069】このため、第2の記憶手段へのアクセスタイミングが従来に比して緩和されるので、書き込み力を向上させることができ、第2の記憶手段の構成トランジスタのサイズを縮小化できる。ドライバのチップサイズの小型化にも寄与する。

【0070】更に、本発明を複数ライン同時選択駆動方法に適用すれば、1ライン当たりの表示に要するデータ処理量が従来の駆動方法よりも多いにも拘らず、表示装置自体を低周波で動作させることができるので、従来よりも低消費電力で、フリッカーが少なく、高コントラスト・高速応答のマトリクス型液晶表示装置を実現することができる。

【図面の簡単な説明】

【図1】本発明の実施例に係る単純マトリクス型液晶表示装置の全体構成を示すブロック図である。

【図2】同実施例に係る単純マトリクス型液晶表示装置におけるモジュール・コントローラの詳細を示すブロック図である。

【図3】上記モジュール・コントローラの動作を説明するためのタイミングチャートである。

【図4】単純マトリクス型液晶表示装置における画素のオン・オフ様態の一例を示す模式図である。

【図5】電圧平均化法によるマルチプレクス駆動方式における走査電極波形及び信号電極波形を示す波形図である。

【図6】電圧平均化法によるマルチプレクス駆動方式における画素液晶のオン・オフ特性を示す波形図である。

【図7】均等分散型3ライン選択駆動方式における走査電極波形及信号電極波形を示す波形図である。

【図8】図7に示す均等分散型3ライン選択駆動方式における画素液晶のオン・オフ特性を示す波形図である。

【図9】同実施例が採用する分散型2ライン選択駆動方式における走査電極波形及び信号電極波形の一例を示す波形図である。

【図10】(a)は同実施例に係る単純マトリクス型液晶表示装置における走査電極駆動回路(Yドライバ)の構成を示すブロック図であり、(b)はその複数のYドライバをカスケード接続した結線図である。

【図11】同実施例に係る単純マトリクス型液晶表示装置における信号電極駆動回路(Xドライバ)の構成を示すブロック図である。

【図12】同信号電極駆動回路(Xドライバ)におけるタイミング回路の構成の詳細を示す回路図である。

【図13】同信号電極駆動回路における周辺回路とフレームメモリから信号パルス割り出し回路、レベルシフタ及び電圧セレクタまでの1信号電極当り(1出力X_m)のmビット回路部250mに着目した回路構成を示す回

30

路図である。

【図14】同信号電極駆動回路における書き込み動作及び読み出し動作を説明するためのタイミングチャートである。

【図15】同信号電極駆動回路における別のフレームメモリの構成を示すブロック図である。

【図16】別のフレームメモリを用いた場合における信号電極駆動回路(Xドライバ)の構成を示すブロック図である。

10 【符号の説明】

- 10 …ホストMPU
- 11 …システムメモリ
- 12 …VRAM
- 13 …補助記憶装置
- 14 a …システムバス
- 14 b …専用バス
- 15 …入力用タッチセンサ
- 16 …タッチセンサ・コントローラ
- 17 …データバス
- 20 100 …モジュール・コントローラ
- 110 …低周波発振回路
- 110 a …振動子
- 120 …タイミング信号発生回路
- 121 …分周器
- 122 …垂直カウンタ
- 123 …フレームカウンタ
- 130 …スタンバイ回路
- 131 …システムバス・インターフェース回路
- 132 …ラインフラグレジスタ
- 133 …比較回路
- 134 …同期調整回路
- 134 a …インバータ
- 134 b …D型フリップフロップ
- 134 c …論理積ゲート
- 140 …高周波発振回路
- 141 …論理積ゲート
- 142 …可変周波数CR発振器
- 142 a …論理積ゲート
- 142 b, 142 c …インバータ
- 40 142 d …スイッチ選択レジスタ
- R₁, R₂, R₂ …帰還抵抗
- C₁ …帰還キャパシタ
- S_{W1}, S_{W2}, S_{W3} …選択スイッチ
- 143 …間欠動作時限回路
- 143 a …インバータ
- 143 b …論理積ゲート
- 143 c …プリセット・カウンタ
- 143 e …インバータ
- 143 d …クロック数レジスタ
- 50 143 f …インバータ

(17)

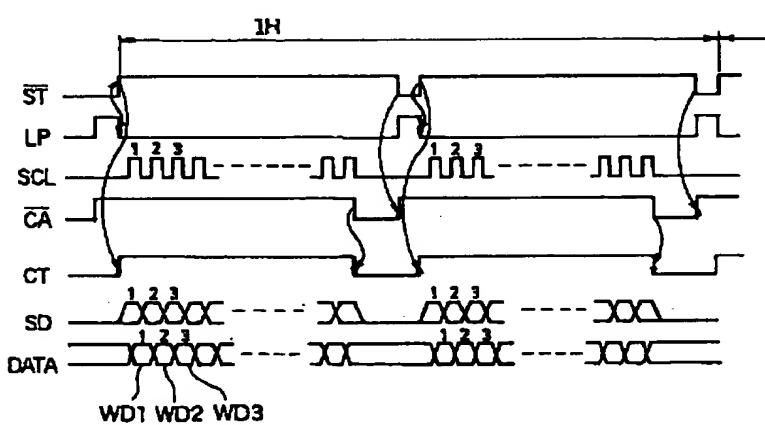
31

- 144…論理積ゲート
 150…DMA回路
 151…DMA制御回路
 152…データ変換回路
 200…LCDモジュール
 220…Yドライバ
 221…コード発生部
 222…電圧セレクタ
 223…第1シフトレジスタ
 224…第2シフトレジスタ
 225…ラッチ部
 226…レベルシフタ
 250…Xドライバ
 250a…偶奇ライン識別回路
 250aa…D型フリップフロップ
 250ab, 250ac…NANDゲート
 250c…フィールド・ステート回路
 250ca…D型フリップフロップ
 250cb, 250cd…論理積ゲート
 250cc…インバータ
 250ce…論理和ゲート
 251…チップイネーブル・コントロール回路
 252…フレームメモリ
 253…タイミング回路
 253-1…第1のワンショット・マルチバイブレータ
 253-2…第2のワンショット・マルチバイブレータ
 253-3…第3のワンショット・マルチバイブレータ
 253-4…シフトクロック検出回路
 253-5…論理積ゲート

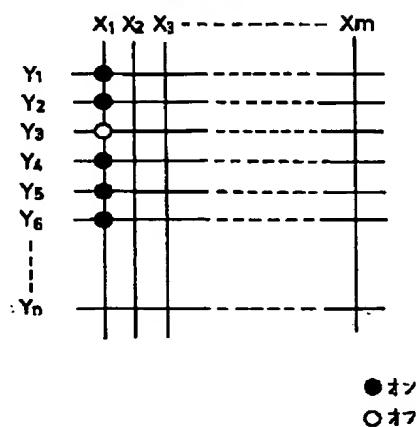
32

- 253a…論理積ゲート
 253b…論理積ゲート
 253c…論理積ゲート
 253d, 253h, 253j…インバータ
 253e, 253f, 253g, 253g'…NAND
 ゲート
 253i, 253k, 253m…遅延回路
 253s, 253t…D型フリップフロップ
 EX₁, EX₂…排他的論理和ゲート
 254…データ入力制御回路
 255…入力レジスタ
 256…書き込みレジスタ
 257…行アドレスレジスタ
 258…信号パルス割り出し回路
 258-1…ラッチ回路
 258-2…不一致数判定回路
 258-3…ラッチ回路
 259…レベルシフタ
 260…電圧セレクタ
 252'a…フレームメモリ
 252'b…書き込み回路
 252'c…書き込みセレクタ
 252'd…アドレスデコーダ
 252'e…読み出しセレクタ
 258'…信号パルス割り出し回路
 258'a…MSLデコーダ
 258'b…ラッチ回路
 258'c…ステートカウンタ。

【図3】

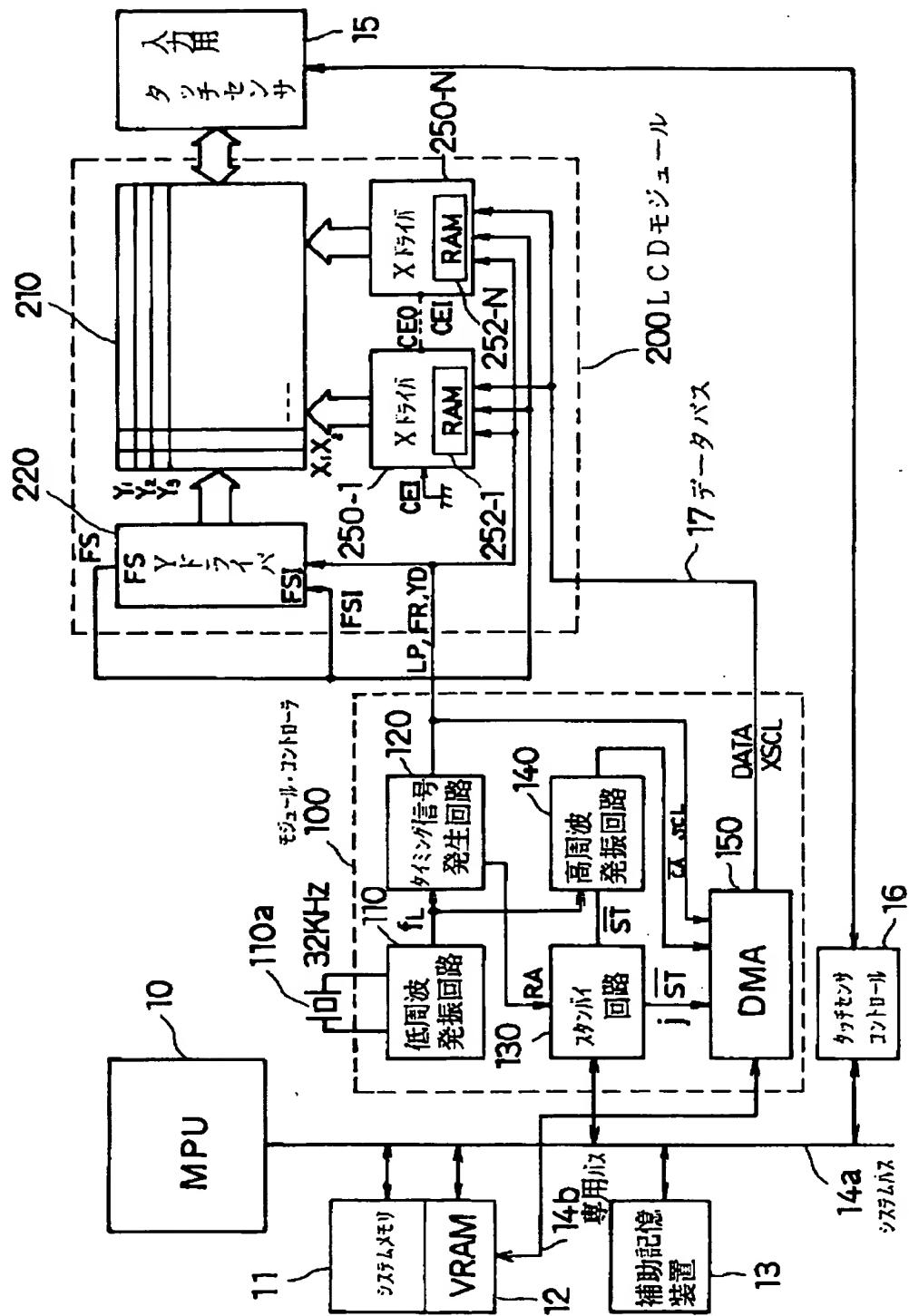


【図4】



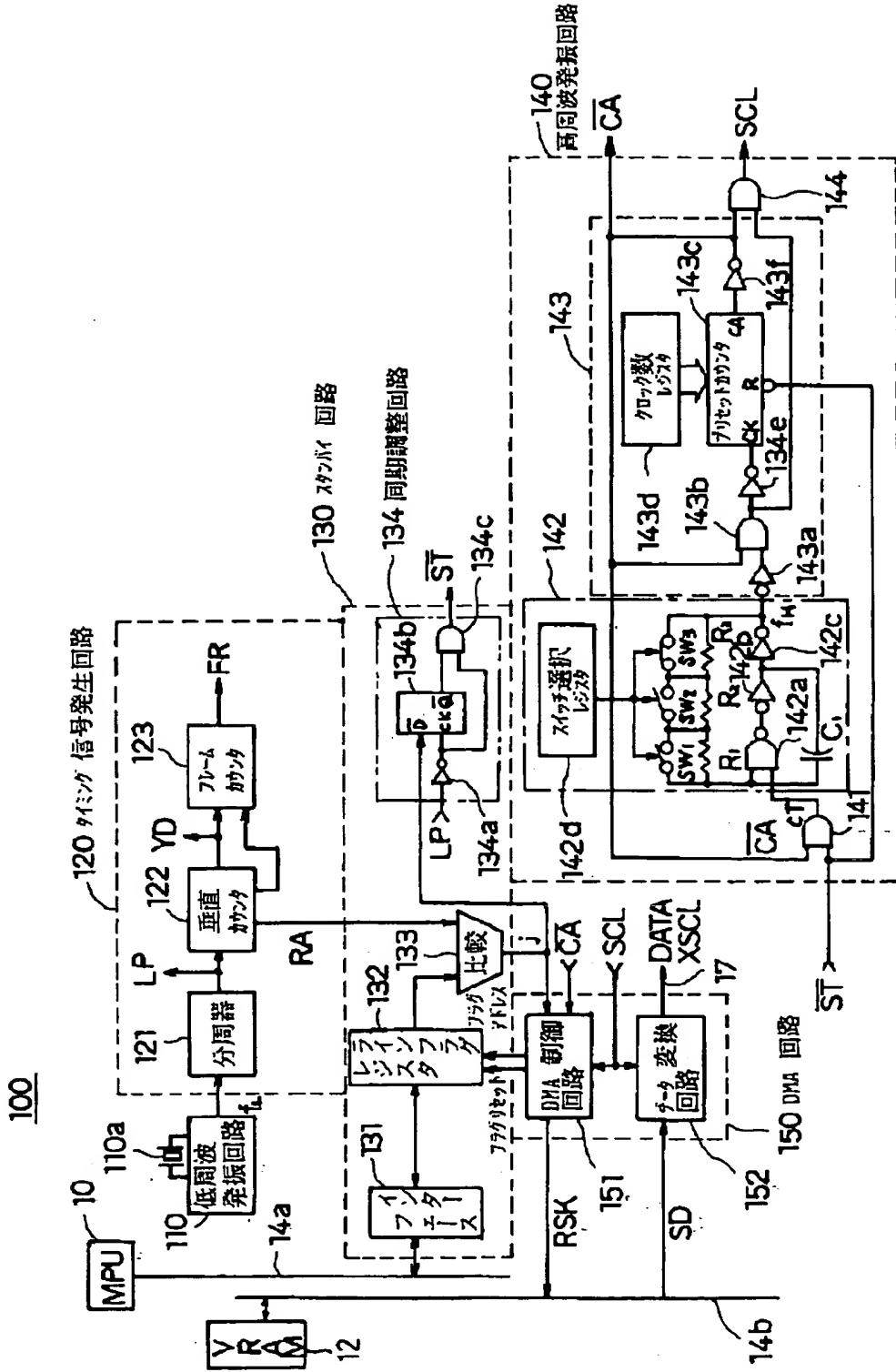
(18)

[図 1]



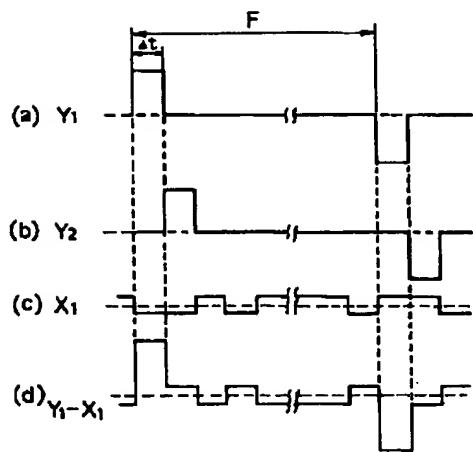
(19)

[図2]

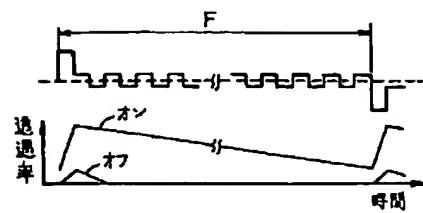


(20)

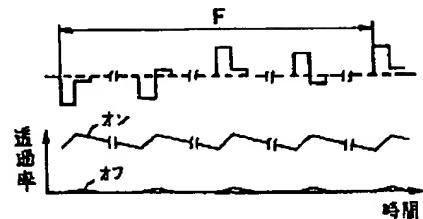
【図 5】



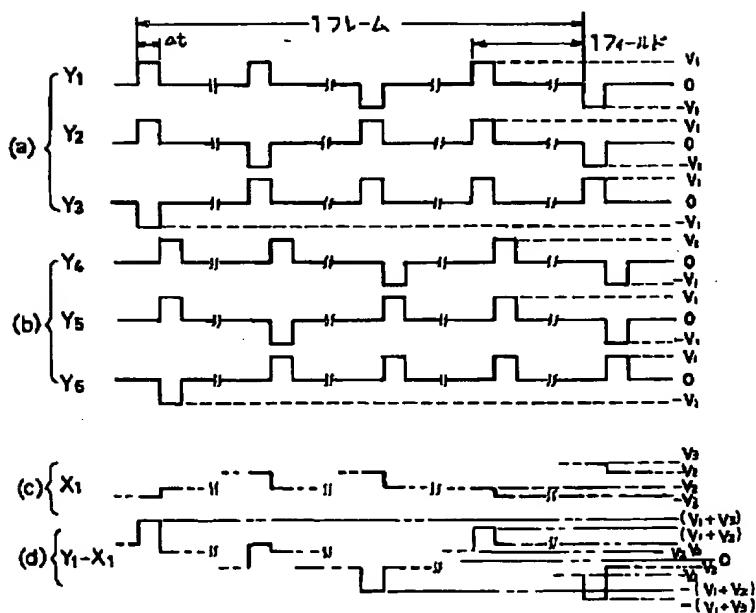
【図 6】



【図 8】

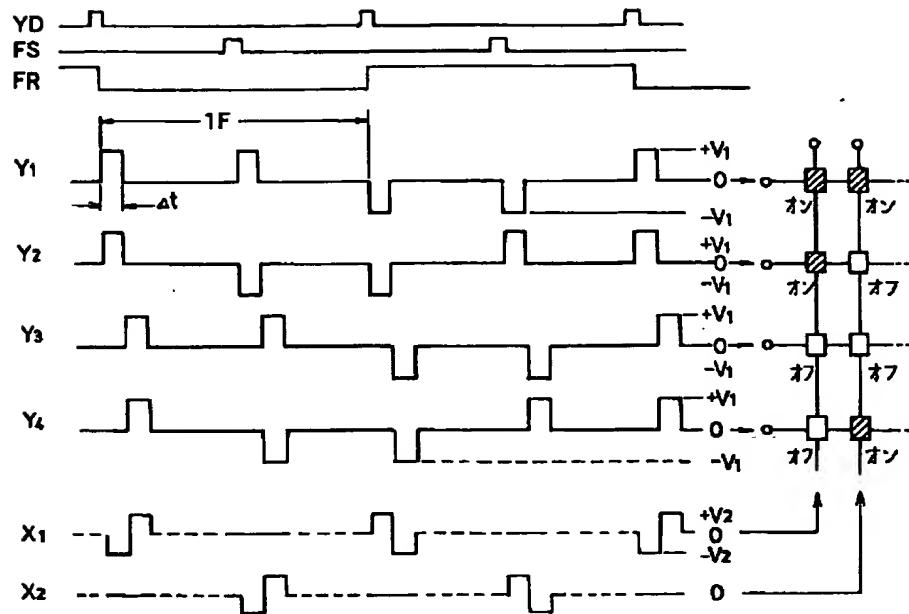


【図 7】



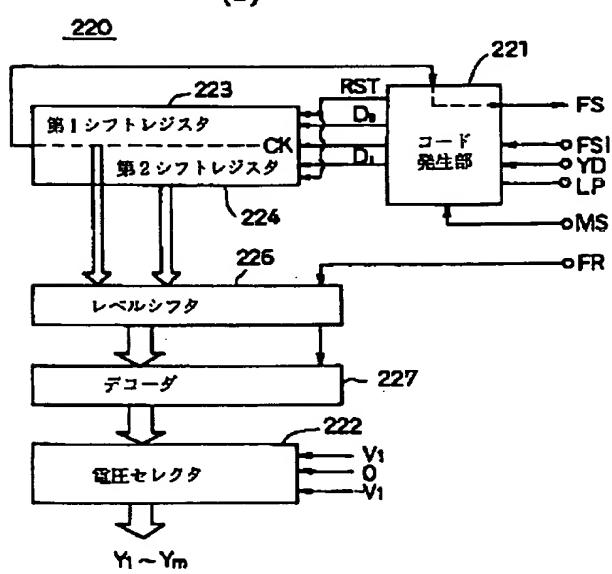
(21)

【図9】

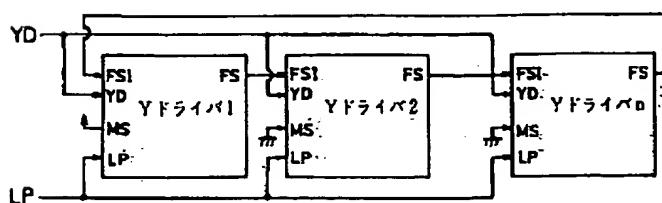


【図10】

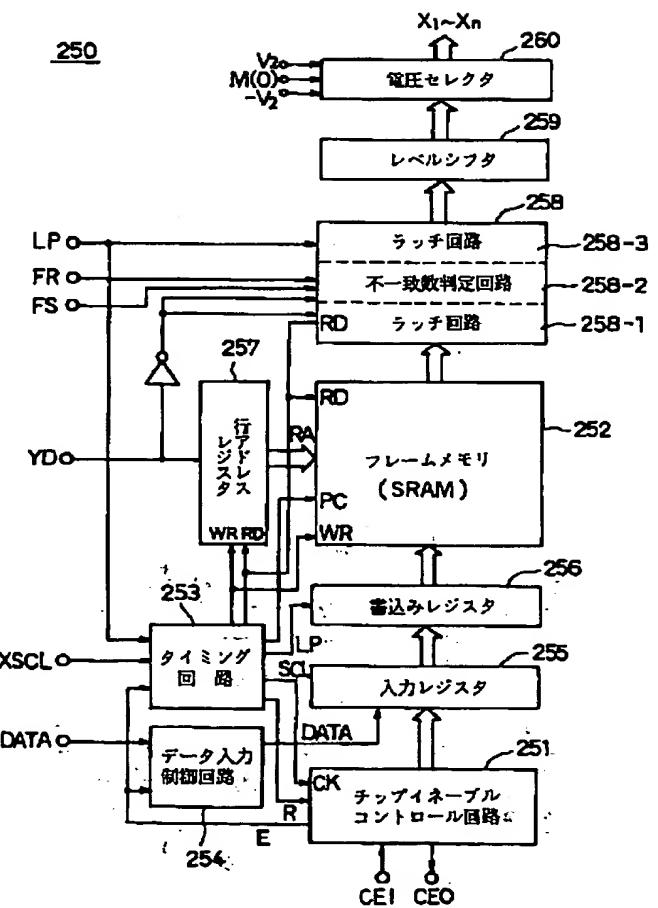
(a)



(b)

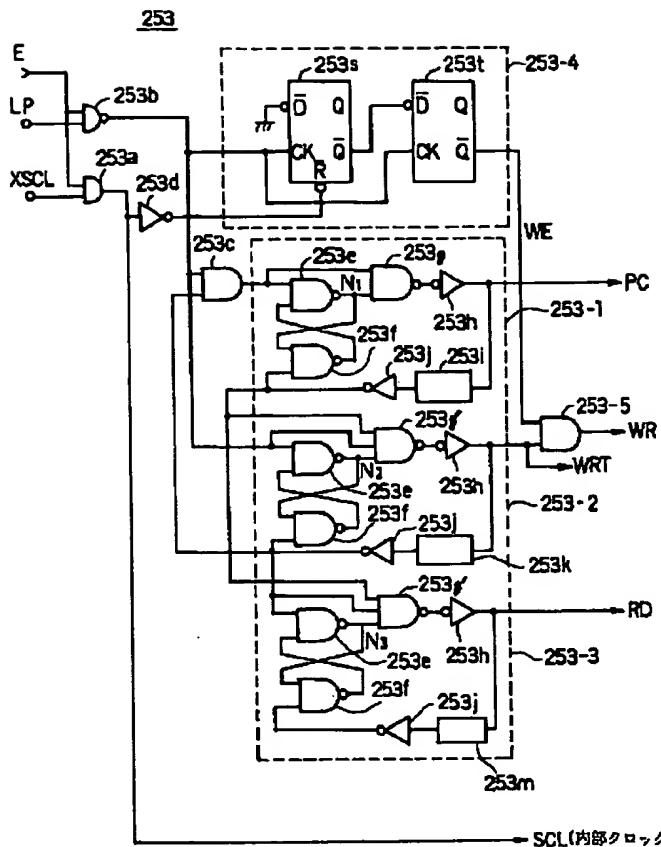


【図11】

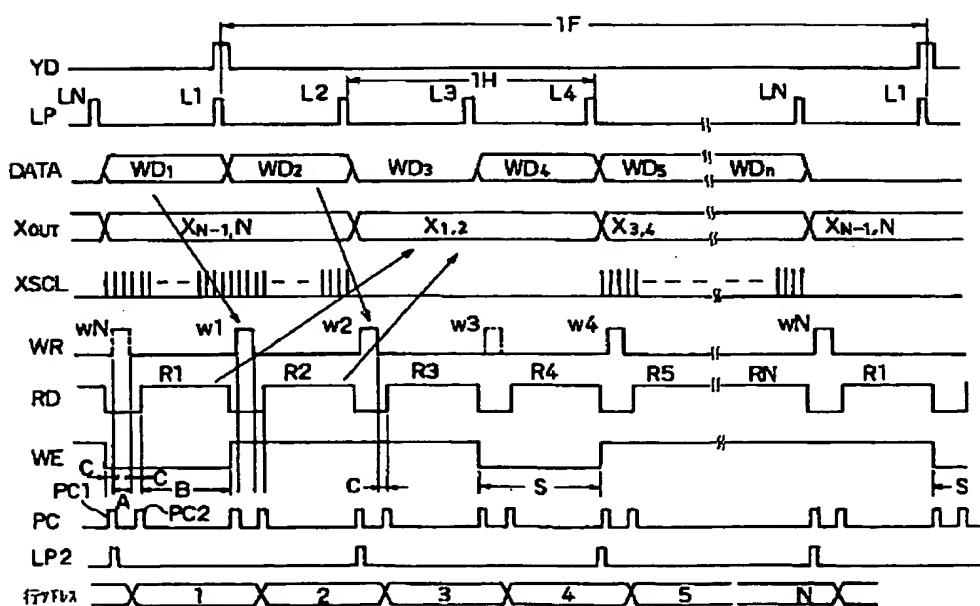


(22)

【図12】

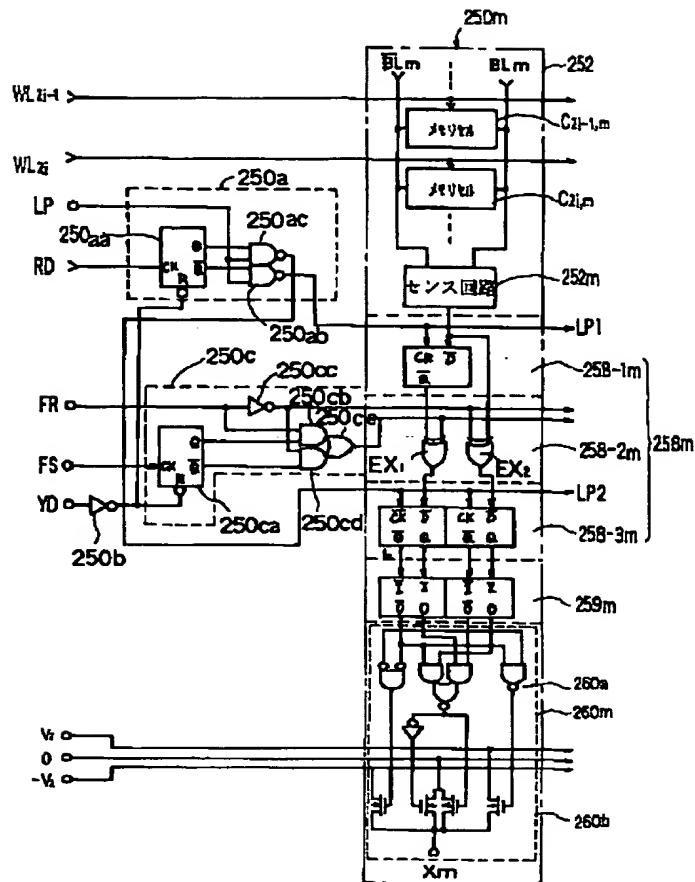


【図14】



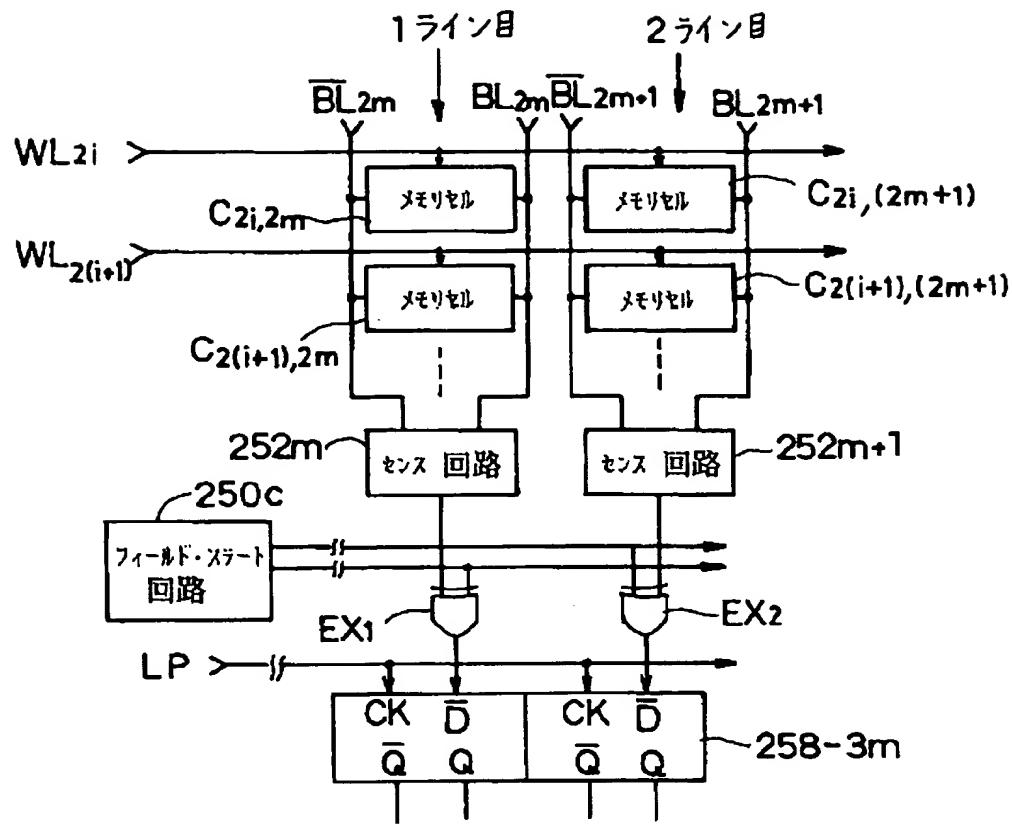
(23)

【図13】



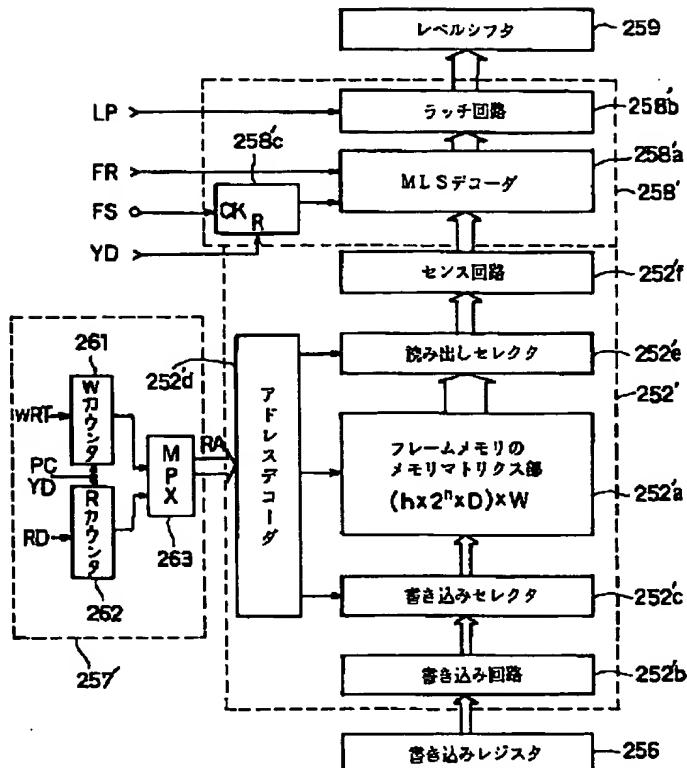
(24)

【図15】



(25)

【図16】



【手続補正書】

【提出日】平成5年7月13日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0002

【補正方法】変更

【補正内容】

【0002】

【従来の技術】従来、フラットディスプレイの一例としての単純マトリクス型液晶表示装置においては、MPU（マイクロ・プロセッサ・ユニット）側から表示データをLCDモジュール（液晶表示パネル（LCDパネル）、走査電極駆動回路（Yドライバ）、信号電極駆動回路（Xドライバ）等）へ転送する方式として、マトリクス型液晶表示素子モジュール・コントローラ（以下、モジュール・コントローラと言う）を用いる方式とRAM（データ読み出し用）内蔵型Xドライバを用いる方式とに大別できる。まず、前者の方式は、CRTを用いた表示装置と同様、システムバスに繋がるモジュール・コントローラが表示データを記憶しているビデオRAM（VRAM）から表示データを読み出し、これをLCDモジュールに対し高周波数のクロックで転送して表示リフレッシュ動作を行うものである。後者の方

リバ内に2ポートタイプのフレームメモリ（内蔵RAM）を持ち、MPUがデータバス、コントロールバス又はアドレスバスを介して液晶表示タイミングとは無関係に直接フレームメモリにアクセスし、フレームメモリ内の表示データを変更するようになっており、Xドライバ内で所要の制御信号を生成して、内蔵フレームメモリから一走査ライン分の表示データを同時に読み出し、表示リフレッシュ動作を行うものである。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0054

【補正方法】変更

【補正内容】

【0054】シフトクロック検出回路253-4は、シフトクロックX S C Lの逆相クロックをリセット入力R（バー）とすると共に、ラッチパルスLPの反転クロックの立ち上がりで接地電位（低レベル）をデータ反転入力D（バー）として記憶するD型フリップ・フロップ253sと、ラッチパルスLPの反転クロックの立ち上がりでD型フリップ・フロップ253sの反転出力Q（バー）をデータ反転入力D（バー）として記憶するD型フリップ・フロップ253tを有している。シフトクロック

(26)

X S C Lの入来があると、まず最初のシフトクロック **X S C L**のパルスでD型フリップ・フロップ2 5 3 s がリセットされ、そのQ (バー) 出力が高レベルとなっているが、ラッチパルスL Pの立ち下がりによってD型フリップ・フロップ2 5 3 s には接地電位がデータ反転入力D (バー) として記憶されるのでそのQ (バー) 出力が低レベルへ遷移すると共に、D型フリップ・フロップ2 5 3 t には、2 5 3 s の出力が変化する前の値を取り込まれ高レベルのデータ反転入力D (バー) を記憶するので、そのQ (バー) 出力たるシフトクロック検出信号WEが高レベルとなる。ラッチパルスL P直後のシフトクロックX S C Lの入来すると、D型フリップ・フロップ2 5 3 s はリセットされ、そのQ (バー) 出力が高レベルに戻る。このようにシフトクロックX S C Lの入来が続く限り、D型フリップ・フロップ2 5 3 t からのシフトクロック検出信号WEは高レベルであるので、論理積ゲート2 5 3 - 5 は導通状態のままであり、第2のワンショット・マルチバイブレータ2 5 3 - 2からの書込み制御信号WRはフレームメモリ等へ出力され続ける。他方、シフトクロックX S C Lの入来が止み、最後のシフトクロックX S C LのパルスでD型フリップ・フロップ2 5 3 s のQ (バー) 出力が低レベルに設定された状態のままでラッチパルスL Pが入来すると、D型フリップ・フロップ2 5 3 t からのシフトクロック検出信号WEが低レベルになるので、論理ゲート2 5 3 - 5 が閉じ、書込み制御信号WRの通過が禁止される。

【手続補正3】**【補正対象書類名】**明細書**【補正対象項目名】**0 0 5 5**【補正方法】**変更**【補正内容】**

[0 0 5 5] 次に、図13を参照しつつX ドライバ2 5 0における周辺回路とフレームメモリ2 5 2から信号パルス割り出し回路2 5 8、レベルシフタ2 5 9及び電圧セレクタ2 6 0までの1信号電極当り（1出力X_m）のmビット回路部2 5 0 mに着目した回路構成を説明する。フレームメモリ2 5 2のメモリマトリクスにおける奇数ワード線WL_{2i-1}、偶数ワード線WL_iとビット線B L_m、B L_m (バー)との交点にはメモリセルC_{2i-1, m}、C_{2i, m}があり、画素P_{2i-1, m}、P_{2i, m}に対応した表示データ（オン・オフ情報）が格納されている。ラッチパルスL Pが発生すると、タイミング回路2 5 3からプリチャージ信号P C、書込み制御信号WR又は読み出し制御信号R Dが生成されるので、フレームメモリ2 5 2への印加により奇数ワード線WL_{2i-1}が行アドレスレジスタ2 5 7の順次的な指定によりフレームメモリ2 5 2内の行アドレスデコーダによって選択され、メモリセルC_{2i-1, m}についての書込み又は読み出しが行われる。また次のラッチパルスL Pが発生すると、偶数ワード線WL_iが選択され、メモリセルC_{2i, m}について

の書き込み又は読み出しが行われる。なお、読み出し動作においては読み出し制御信号R Dによりセンス回路2 5 2 mが能動化され、メモリセルから表示データが出力される。

【手続補正4】**【補正対象書類名】**明細書**【補正対象項目名】**0 0 5 7**【補正方法】**変更**【補正内容】**

[0 0 5 7] 本例においては、前述したように均等分散型2ライン同時選択駆動方式であるので、 $2^1 = 2$ の数だけ走査電極の電圧パルスパターンがあるが、2つの異なる列パターンを連続した2本の走査電極に印加するようにしてあるので、そのパターン数を展開するには2フィールドが必要である。他方、フレーム毎に交流化信号F Rが反転するため、これも考慮すると、4フィールドですべての列パターンが展開されることになる。このため、周辺回路には走査電極の電位パターンを指定するフィールド・スタート回路2 5 0 c が設けられている。なお、この電位パターンの指定情報はX ドライバ内で発生させずに、走査電極ドライバ側のコード発生部2 2 1又はモジュール・コントロー1 0 0 から受けれるようになることもできる。このフィールド・スタート回路2 5 0 c は、フレーム開始パルスY Dの逆相パルスによってリセットされフィールド開始パルスF Sの入来毎に記憶内容の反転するD型フリップ・フロップ2 5 0 c aと、そのQ出力と交流化信号F Rを2入力とする論理積ゲート2 5 0 c bと、D型フリップ・フロップ2 5 0 c aのQ (バー) 出力と交流化信号F Rのインバータ2 5 0 c cを介した信号を2入力とする論理積ゲート2 5 0 c dと、論理積ゲート2 5 0 c b、2 5 0 c dの両出力を2入力とする論理和ゲート2 5 0 c eとから構成されている。奇数ラインの読み出し時に発生するラッチパルスL P 1によってメモリセルC_{2i-1, m}の表示データ（オン・オフ情報）が信号パルス割り出し回路2 5 8の1ビットのラッチ回路2 5 8 - 1 mに取り込まれ、不一致数判定回路2 5 8 - 2 mの下位ビット用排他的論理和ゲートE X₁に供給される。またこれに引き続き発生する偶数ラインのラッチパルスL P 2によってメモリセルC_{2i, m}の表示データ（オン・オフ情報）は直接不一致数判定回路2 5 8 - 2 mの上位ビット用排他的論理和ゲートE X₂に供給される。ラッチパルスL P 1、2は交互に出力されるのでラッチ回路2 5 8 - 1と2 5 8 - 3のラッチ期間は互いにオーバーラップ期間を持っており、両メモリセルの表示データ（オンーオン、オンーオフ、オフーオン、オフーオフ）は同時的に不一致数判定回路2 5 8 - 2 mへ供給される。また前述の2本の走査電極の列パターンに相当する情報も不一致数判定回路2 5 8 - 2 mに供給されているので、不一致数判定回路2 5 8 - 2 mは表示データの2ビット情報と走査電極の2ビット情報の

(27)

桁不一致を検出する。2本同時選択の場合は、2ビット出力であるので不一致数判定回路258-2mの出力はそのままコード化された不一致数として扱うことができる。本例における採りうる不一致数は0, 1又は2である。不一致数判定回路258-2mで得られた2ビット情報はラッチ回路258-3mに取り込まれ、その不一致数信号はレベルシフタ259mで高論理振幅レベルの信号に変換される。そして、電圧セレクタ260mのデコーダ260aはその不一致数信号をデコードし、選択スイッチ260bのトランジスタのいずれかを開閉させることにより、信号電極の電位-V2, 0, V2のいずれかが選択されることになる。なお、本例では不一致数0のときは-V2、不一致数1のときは0、不一致数2のときはV2が選択される。このようなXドライバの構成によって均等分散型2ライン同時選択駆動が可能となる。また、不一致数を判定しなくとも、前述のフレームメモリ出力とフィールド・ステート回路259cの出力から直接デコードするような回路構成を採用しても良い。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0058

【補正方法】変更

【補正内容】

【0058】以上の説明で本例におけるXドライバの各部の構成及び動作が理解されたことであろうが、図14のタイミングチャートを参照しつつフレームメモリの書き込み及び読み出し動作を説明する。モジュール・コントローラ100のタイミング信号発生回路120によって図14に示すようなフレーム開始パルスYD, ラッチパルスLPが発生する。フレーム開始パルスYDは1フレーム期間(1F)毎発生し、またラッチパルスLPは1水平期間(1H)内に2回発生する。ここでは、1フレーム期間内にN個のラッチパルスが発生する。ラッチパルスLPの1周期内ではモジュール・コントローラ100から1走査ライン分の表示データDATA(WDi)がシフトクロックX_SCLによってXドライバ250へ転送されて来る。図14ではVRAM12内の表示データDATAのうち第3走査ライン目の表示データWD3を除き他のすべての走査ライン目の表示データが変更された場合の書き込み・読み出し動作を示しているので、第3走査ライン目の表示データWD3の転送は新たに行われず、第3走査ライン目の表示データの表示動作はフレームメモリ252内の旧データを読み出すことにより達成される。Xドライバ250のタイミング回路253によって図14に示すような読み出し制御信号RD, シフトクロック検出信号WE及び書き込み制御信号WRも発生する。モジュール・コントローラ100側で新データWD2の転送をXドライバ250に対して完了すると、前述したようにシフトクロックX_SCLの転送も中止される。その後新データWD4以降の転送とシフトクロック

X_SCLの発振が行われる。シフトクロックX_SCLの転送が一時中止されると、前述したように、モジュール・コントローラ100はスタンバイ期間Sに入るので、タイミング回路253のシフトクロック検出回路253-4がそれを検出してシフトクロック検出信号WEが発生しない。これによって書き込み制御信号(W3)のみ発生しない。まず、最初のラッチパルス(LN)が発生すると、1ライン目の表示データ(WD1)が次のラッチパルス(L1)の発生までの間(1周期内)にXドライバ250へ入来し、ラッチパルス(L1)の発生により書き込みレジスタ256に取り込まれてフレームメモリ252の該当行アドレスに書き込まれるが、最初のラッチパルス(LN)が発生から次のラッチパルス(L1)の発生までの間には、フレームメモリ252から1ライン目の旧データの読み出し動作が行われる。ラッチパルスLPが発生すると、先ず第1番目のプリチャージ制御信号PC1(期間C)が発生してから書き込み制御信号WR(期間A)が発生し、かかる後、第2番目のプリチャージ制御信号PC2(期間C)が発生してから読み出し制御信号RD(期間B)が発生するが、シフトクロックX_SCLの発振がないと書き込みモードは存在せず、読み出し制御信号R1により1ライン目の旧データの読み出し動作が行われる。この読み出し動作においては、行アドレスレジスタ257によって1ライン目の行アドレスが指定され、次のラッチパルス(L1)の発生による奇数ラッチパルスLP1により1ライン目の旧データがフレームメモリ252から読み出されラッチ回路258-1mに格納されて下位桁用排他的論理和ゲートEX1へ送られる。この1ライン目の旧データのラッチの後そのラッチパルス(L1)により1ライン目の新データWD1がフレームメモリ252への書き込みは、1ライン640ドットのときは入力レジスタ255から数100ns程度の1シフトクロックX_SCLで行われるのではなく、バッファとしての書き込みレジスタ256からそれ以上の充分な時間(数μs)をかけて1ライン分一挙に書き込むようにしている。従って、大容量表示になるに従い、書き込み速度の高速化を要求されるが、ラッチパルスにより書き込みレジスタ256を介して書き込み動作を行うことが望ましい。ラッチパルスLP2の周期内において、1ライン目の新データWD1の書き込みの後は、読み出し制御信号R2により2ライン目の旧データの読み出しが行われ、上位桁用排他的論理和ゲートEX2へ送られる。そして、偶数ラインのラッチパルスLP2の発生により不一致数判定回路258-2で得られた不一致数の2ビット情報がラッチ回路258-3でラッチされ、前述したように、電圧セレクタ260でいずれかの信号電圧が選択され、1走査ライン目と2走査ライン目に関する信号電極電位が液晶マトリクスに印加される。

【手続補正6】

(28)

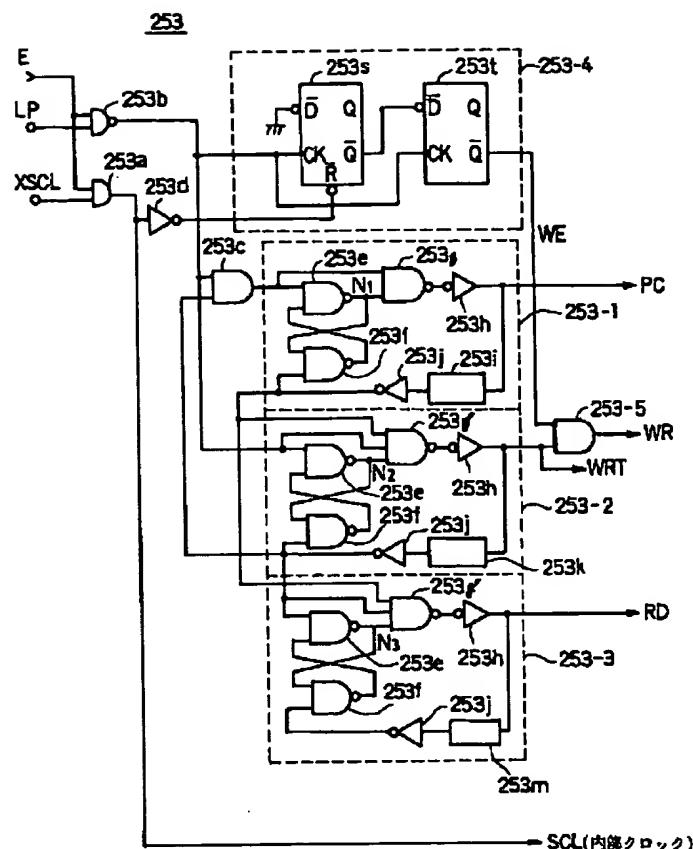
【補正対象書類名】図面

【補正対象項目名】図12

【補正方法】変更

【補正內容】

[図12]



【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第6部門第2区分
【発行日】平成13年7月6日(2001.7.6)

【公開番号】特開平6-130910
【公開日】平成6年5月13日(1994.5.13)
【年通号数】公開特許公報6-1310
【出願番号】特願平5-152533

【国際特許分類第7版】

G09G 3/20
G02F 1/133 545
G09G 3/36

【F I】

G09G 3/20 R
G02F 1/133 545
G09G 3/36

【手続補正書】

【提出日】平成12年6月21日(2000.6.21)

【手続補正1】

【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】表示画素がマトリクス状に配列されたマトリクス型表示体と、表示データを記憶する第1の記憶手段と、該表示画素の少なくとも一部に対応する表示データを記憶する第2の記憶手段と、前記第2の記憶手段から読み出される表示データに基づき前記マトリクス表示体を駆動する駆動手段とを有するマトリクス型表示装置において、

前記第1の記憶手段に記憶された表示データの変更により発振する間欠動作型の発振手段と、前記発振手段からのクロックを用いて前記第1の記憶手段から前記変更に係る表示データを読み出して前記第2の記憶手段へ転送する表示データ転送手段とを有することを特徴とするマトリクス型表示装置。

【請求項2】第1の記憶手段に記憶された表示データの変更により発振する間欠動作型の発振手段と、前記発振手段からのクロックを用いて前記第1の記憶手段から前記変更に係る表示データを読み出して第2の記憶手段へ転送する表示データ転送手段とを有することを特徴とするマトリクス型表示制御装置。

【請求項3】表示画素がマトリクス状に配列されたマトリクス型表示体と、表示データを記憶する第1の記憶手段と、該表示画素の少なくとも一部に対応する表示データを記憶する第2の記憶手段と、前記第2の記憶手段から読み出される表示データに基づき前記マトリクス表

示体を駆動する駆動手段とを有するマトリクス型表示装置において、

前記第1の記憶手段に記憶された表示データの変更により発振する間欠動作型の第1の発振手段と、

前記第1の発振手段よりも低周波数で発振する第2の発振手段と、

前記第1の発振手段からのクロックを用いて前記第1の記憶手段から前記変更に係る表示データを読み出して前記第2の記憶手段へ転送する表示データ転送手段と、

前記第2の発振手段からのクロックを用いて前記マトリクス表示体を駆動するためのタイミング信号を生成するタイミング信号発生手段とを有することを特徴とするマトリクス型表示装置。

【請求項4】マトリクス型表示体の表示画素の少なくとも一部に対応する表示データを記憶する随時書き込み読み出し可能な記憶手段を有し、該記憶手段から表示データを読み出し前記マトリクス表示体の信号電極に駆動電圧を印加するマトリクス型表示駆動装置において、

1走査期間毎に受け取る周期信号を基に1走査期間でタイミングをずらした書き込み制御信号及び読み出し制御信号を生成するタイミング発生手段と、前記記憶手段の同一行アドレスに対する読み出し制御信号により読み出し動作を実行した後、前記書き込み制御信号により書き込み動作を実行する書き込み読み出し手段とを有することを特徴とするマトリクス型表示駆動装置。

【請求項5】請求項4に記載のマトリクス型表示駆動装置において、前記表示データの転送に用いられるクロックの停止を検出するクロック検出手段と、前記クロック検出手段の検出信号に基づいて前記書き込み制御信号の発生を停止させる書き込み禁止制御手段とを有することを特徴とするマトリクス型表示駆動装置。

【請求項6】請求項5に記載のマトリクス型表示駆動

(2)

1

装置において、前記書込み読み出し手段は、入力される表示データを前記クロックを用いて少なくとも1走査ライン分格納する一時格納手段と、該一時格納手段の格納表示データを前記クロックの1周期以上の長い信号により前記記憶手段に書込み供給するバッファップ手段とを有することを特徴とするマトリクス型表示駆動装置。

【請求項7】 請求項4至請求項6のいずれか一項に記載のマトリクス型表示駆動装置において、前記書込み読み出し手段は、前記記憶手段から読み出した表示データと前記マトリクス表示体の走査電極の電圧状態とから前記信号電極に印加すべき信号電圧を割り出す信号電圧状態割り付け手段を有することを特徴とするマトリクス型表示駆動装置。

【請求項8】 請求項7に記載のマトリクス型表示駆動装置において、前記信号電圧割り付け手段は、前記記憶手段から複数の走査ライン分の表示データを時分割で読み出す手段と、読み出された表示データを相互に待ち合わせる一時記憶手段と、前記マトリクス表示体の走査電極の電圧状態を指定する走査状態指定手段と、読み出された複数の走査ライン分の表示データと走査電極の選択電圧状態とから駆動電圧を選択する電圧選択手段とを有することを特徴とするマトリクス型表示駆動装置。

【請求項9】 請求項7に記載のマトリクス型表示駆動装置において、前記記憶手段は、1行アドレスに対し前記マトリクス表示体の複数の走査ライン分の表示データを格納するメモリ配列を有しており、前記信号電圧状態割り付け手段は、前記複数の走査ライン分の表示データを一挙に読み出す手段と、前記マトリクス表示体の走査電極の電圧状態を指定する走査状態指定手段と、読み出された複数の走査ライン分の表示データと走査電極の選択電圧状態とから駆動電圧を選択する電圧選択手段とを有することを特徴とするマトリクス型表示駆動装置。

【請求項10】 請求項7乃至請求項9のいずれか一項に記載のマトリクス型表示駆動装置において、複数本の走査ラインを同時に選択し、かつ前記同時に選択される走査ラインを1フレーム内に複数回に分けて選択することを特徴とするマトリクス型表示駆動装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正内容】

【0005】

【課題を解決するための手段】上記課題を解決するために、本発明の講じた手段は、従来のモジュール・コントローラ型の表示装置と、従来のフレームメモリ内蔵型の信号電極ドライバとを組合せた方式において、モジュール・コントローラのクロックの発振源を表示データの転送の際に間欠動作させるようにしたことに特徴を有する。即ち、本発明は、表示画素がマトリクス状に配列さ

2

れたマトリクス型表示体と、表示データを記憶する第1の記憶手段と、表示画素の少なくとも一部に対応する表示データを記憶する第2の記憶手段と、第2の記憶手段から読み出される表示データに基づき前記マトリクス表示体を駆動する駆動手段とを有するマトリクス型表示装置において、第1の記憶手段に記憶された表示データの変更により発振する間欠動作型の発振手段と、発振手段からのクロックを用いて前記第1の記憶手段から前記変更に係る表示データを読み出して第2の記憶手段へ転送する表示データ転送手段とを有することを特徴とする。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正内容】

【0006】また、本発明に係るマトリクス型表示制御装置は、第1の記憶手段に記憶された表示データの変更により発振する間欠動作型の発振手段と、この発振手段からのクロックを用いて第1の記憶手段から前記変更に係る表示データを読み出して第2の記憶手段へ転送する表示データ転送手段とを有することを特徴とする。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】上記構成とは別に、本発明は、表示画素がマトリクス状に配列されたマトリクス型表示体と、表示データを記憶する第1の記憶手段と、表示画素の少なくとも一部に対応する表示データを記憶する第2の記憶手段と、第2の記憶手段から読み出される表示データに基づきマトリクス表示体を駆動する駆動手段とを有するマトリクス型表示装置において、第1の記憶手段に記憶された表示データの変更により発振する間欠動作型の第1の発振手段と、第1の発振手段よりも低周波数で発振する第2の発振手段と、第1の発振手段からのクロックを用いて第1の記憶手段から前記変更に係る表示データを読み出して第2の記憶手段へ転送する表示データ転送手段と、第2の発振手段からのクロックを用いてマトリクス表示体を駆動するためのタイミング信号を生成するタイミング信号発生手段とを有することを特徴とする。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】更に、本発明は、マトリクス型表示体の表示画素の少なくとも一部に対応する表示データを記憶する随時書き込み読み出し可能の記憶手段を有し、この記憶手段から表示データを読み出しまトリクス表示体の信号

(3)

3

電極に駆動電圧を印加するマトリクス型表示駆動装置において、1走査期間毎に受け取る周期信号を基に1走査期間でタイミングをずらした書き込み制御信号及び読み出し制御信号を生成するタイミング発生手段と、記憶手段の同一行アドレスに対する読み出し制御信号により読み出し動作を実行した後、書き込み制御信号により書き込み動作を実行する書き込み読み出し手段とを有することを特徴とする。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】ここで、表示データの転送に用いられるクロックの停止を検出するクロック検出手段と、このクロック検出手段の検出信号に基づいて書き込み制御信号の発生を停止させる書き込み禁止制御手段とを有することが望ましい。斯かる場合、書き込み読み出し手段は、入力される表示データを前記クロックを用いて少なくとも1走査ライン分格納する一時格納手段と、この一時格納手段の格納表示データを前記クロックの1周期以上の長い信号により記憶手段に書き込み供給するバッファップ手段とを設けることが望ましい。そして、書き込み読み出し手段としては、記憶手段から読み出した表示データとマトリクス表示体の走査電極の電圧状態とから信号電極に印加すべ

(4)

4

き信号電圧を割り出す信号電圧状態割り付け手段を有する。この信号電圧割り付け手段としては、記憶手段から複数の走査ライン分の表示データを時分割で読み出す手段と、読み出された表示データを相互に待ち合わせる一時記憶手段と、マトリクス表示体の走査電極の電圧状態を指定する走査状態指定手段と、読み出された複数の走査ライン分の表示データと走査電極の選択電圧状態とから駆動電圧を選択する電圧選択手段とを有する。記憶手段としては、1行アドレスに対し前記マトリクス表示体の複数の走査ライン分の表示データを格納するメモリ配列を有しており、信号電圧状態割り付け手段としては、複数の走査ライン分の表示データを一举に読み出す手段と、マトリクス表示体の走査電極の電圧状態を指定する走査状態指定手段と、読み出された複数の走査ライン分の表示データと走査電極の選択電圧状態とから駆動電圧を選択する電圧選択手段とを有する。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】また、マトリクス型表示駆動装置としては、複数本の走査ラインを同時に選択し、かつ前記同時に選択される走査ラインを1フレーム内に複数回に分けて選択することを特徴とする。